

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

JC971 U.S. PTO  
09/809207  
03/16/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月17日

出 願 番 号

Application Number:

特願2000-077172

出 願 人

Applicant(s):

セイコーエプソン株式会社

2001年 2月 2日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造

出証番号 出証特2001-3003365

【書類名】 特許願

【整理番号】 J0076677

【提出日】 平成12年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/133

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 村出 正夫

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

    【代表者】 安川 英昭

【代理人】

    【識別番号】 100093388

    【弁理士】

    【氏名又は名称】 鈴木 喜三郎

    【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

    【識別番号】 100095728

    【弁理士】

    【氏名又は名称】 上柳 雅誉

【選任した代理人】

    【識別番号】 100107261

    【弁理士】

    【氏名又は名称】 須澤 修

【手数料の表示】

    【予納台帳番号】 013044

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9711684

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電気光学装置

【特許請求の範囲】

【請求項 1】 一对の基板間に電気光学物質が挟持されてなり、

該一对の基板のうち一方の基板上に、

走査線と、

該走査線と交差すると共に前記基板上で前記走査線よりも上方に位置するデータ線と、

該データ線及び前記走査線に接続されており、チャンネル領域を含むと共に前記基板上で前記走査線よりも下方に位置する半導体層を有してなる薄膜トランジスタと、

前記半導体層のドレイン領域に第 1 コンタクトホールを介して電氣的に接続された中間導電層と、

前記中間導電層に第 2 コンタクトホールを介して接続された画素電極とを備えており、

前記第 1 コンタクトホールは、平面的に見て前記データ線に重なる位置に開孔されていることを特徴とする電気光学装置。

【請求項 2】 前記第 1 コンタクトホールは、平面的に見て前記走査線に沿った遮光領域と前記データ線に沿った遮光領域の交差部に開孔されていることを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】 前記第 2 コンタクトホールは、平面的に見て前記走査線に沿った遮光領域のうち相隣接する 2 本のデータ線間のほぼ中央に開孔されていることを特徴とする請求項 1 又は 2 に記載の電気光学装置。

【請求項 4】 前記中間導電層は、前記走査線と同一膜からなる容量電極と層間絶縁膜を介して少なくとも部分的に対向配置されていることを特徴とする請求項 1 から 3 のいずれか一項に記載の電気光学装置。

【請求項 5】 前記第 2 コンタクトホールは、平面的に見て前記容量電極に重なる位置に開孔されていることを特徴とする請求項 4 に記載の電気光学装置。

【請求項 6】 前記容量電極は、平面的に見て走査線に沿って伸びる部分と前記データ線と交差する個所から前記データ線に沿って伸びる部分とを有し、

前記中間導電層は、前記容量電極の少なくとも一部に層間絶縁膜を介して重ねられていることを特徴とする請求項 1 から 5 のいずれか一項に記載の電気光学装置。

【請求項 7】 前記中間導電層は、平面的に見て走査線に沿って伸びる部分と前記データ線と交差する個所から前記データ線に沿って伸びる部分とを有することを特徴とする請求項 1 から 6 のいずれか一項に記載の電気光学装置。

【請求項 8】 前記中間導電層は、遮光性の導電膜からなることを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項 9】 前記中間導電層は、前記遮光領域の一部を規定することを特徴とする請求項 8 に記載の電気光学装置。

【請求項 10】 前記中間導電層は、平面的に見て前記データ線に沿って伸びる部分を含み、

前記データ線に沿った方向の前記遮光領域の一部が規定されていることを特徴とする請求項 9 に記載の電気光学装置。

【請求項 11】 前記容量電極は、平面的に見て前記データ線に沿って伸びる部分を有し、

前記データ線に沿った個所において夫々、前記データ線の幅  $W_d$  と、前記容量電極の幅  $W_c$  と、前記データ線に沿って伸びる中間導電層部分の幅  $W_m$  との間には、 $W_d < W_c < W_m$  なる関係が成立することを特徴とする請求項 10 に記載の電気光学装置。

【請求項 12】 平面的に見て、前記画素電極における前記データ線に沿った縁部分は、前記中間導電層の縁部分に重ねられていることを特徴とする請求項 11 に記載の電気光学装置。

【請求項 13】 前記データ線と前記中間導電層との間に膜厚 500 ～ 2000 nm（ナノメートル）の層間絶縁膜を更に備えたことを特徴とする請求項 1 から 12 のいずれか一項に記載の電気光学装置。

【請求項 14】 前記容量電極には、定電位が供給されていることを特徴

とする請求項 1 から 1 3 のいずれか一項に記載の電気光学装置。

【請求項 1 5】 前記容量電極は、前記走査線に沿って画像表示領域からその周囲に延設されて周辺領域で定電位源に接続されてなることを請求項 1 から 1 4 のいずれか一項に記載の電気光学装置。

【請求項 1 6】 基板に走査線と、前記走査線に交差するデータ線と、前記走査線とデータ線の交差に対応して配置されたトランジスタと、前記トランジスタに接続された画素電極と、蓄積容量を有する電気光学装置において、

前記トランジスタのチャネル領域は、前記走査線と前記データ線の交差領域に対応して配置されてなり、前記ソース・ドレイン領域は前記データ線に重なるように、且つ前記走査線を挟んで一方側に伸びるデータ線の下方と、他方側に伸びるデータ線の下方にそれぞれ配置されてなり、

前記ドレイン領域は第 1 コンタクトホールを介して中継導電層に電氣的に接続されてなり、前記中継導電層は、第 2 コンタクトホールを介して前記画素電極に接続されてなり、前記ソース領域は第 3 コンタクトホールを介して前記データ線に電氣的に接続されてなり、

前記第 1 コンタクトホール及び前記第 3 コンタクトホールは、平面的に見て前記データ線に重なる位置に開孔されていることを特徴とする電気光学装置。

【請求項 1 7】 前記中継導電層は層間絶縁膜を介して容量電極と対向配置されてなることを特徴とする請求項 1 6 に記載の電気光学装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、アクティブマトリクス駆動方式の電気光学装置の技術分野に属し、特に画素電極と画素スイッチング用の薄膜トランジスタ（Thin Film Transistor：以下適宜、T F T と称す）との間で、電気導通を良好にとるための中間導電層を基板上の積層構造中に備えた形式の電気光学装置の技術分野に属する。

【0 0 0 2】

【背景技術】

従来、T F T 駆動によるアクティブマトリクス駆動方式の電気光学装置におい

ては、T F Tのゲート電極に走査線を介して走査信号が供給されると、T F Tはオン状態とされ、半導体層のソース領域にデータ線を介して供給される画像信号が当該T F Tを介して画素電極に供給される。このような画像信号の供給は、各T F Tを介して画素電極毎に極めて短時間しか行われないので、供給される画像信号の電圧を、このオン状態とされた時間よりも遥かに長時間に亘って保持するために、各画素電極には蓄積容量が付加されるのが一般的である。

## 【 0 0 0 3 】

他方、この種の電気光学装置では、画素電極を構成するI T O膜等の導電膜と画素スイッチング用のT F Tを構成する半導体層との間には、走査線、データ線等を構成する各種導電膜及びこれらの導電膜を相互から電氣的に絶縁するためのゲート絶縁膜や層間絶縁膜が積層されており、これらの画素電極と半導体層との間の距離は例えば1 0 0 0 n m程度に長い。従って、これらの画素電極と半導体層とを一つのコンタクトホールによって電氣的に接続するのは技術的に困難である。そこで、層間絶縁膜間に中間導電層（以下適宜、バリア層と称す）を設けて、このバリア層を中継して、画素電極と半導体層とを電氣的に接続する技術が開発されている。

## 【 0 0 0 4 】

## 【発明が解決しようとする課題】

この種の電気光学装置においては、表示画像の高品位化という一般的な要請が強く、このためには、画素ピッチを微細化しつつ、画素開口率化を高める（即ち、各画素において、表示光が透過しない遮光領域に対して、表示光が透過する開口領域を広げる）と同時に各画素電極に対して付加する蓄積容量を増大させることが極めて重要となる。

## 【 0 0 0 5 】

しかしながら、各画素の開口領域には、蓄積容量を作り込むことは基本的に困難である。このため、画素開口率を高めれば高める程、蓄積容量を作り込むことができる領域は狭くなってしまふ、或いは蓄積容量を増大させればさせる程、画素開口率は低下してしまうという問題点がある。

## 【 0 0 0 6 】

特に前述の如きバリア層を設けると、製造工程が増加するだけでなく、積層数やコンタクトホール数が増加して積層構造がより複雑化するため、特に画素ピッチを微細化するに連れて上述した蓄積容量を作り込むことが更に困難となる、或いはコンタクトホールを開孔するための領域を確保するのが困難になるという問題点がある。そして、このようにバリア層を設けることにより必要なコンタクトホールの数が増加すると、コンタクトホールの存在に起因して基板上でその上方に位置する層間絶縁膜の表面には凹凸が生じ、最終的には画素電極及びその上に形成される配向膜の表面に凹凸が生じてしまう。このように画素電極付近における配向膜の表面に凹凸が生じると、電気光学物質の一例である液晶の配向不良が原因で動作不良が生じる。これらの結果、コントラスト比の低下といった表示不良を引き起こし、画質品位を大幅に低下してしまうという問題がある。

## 【 0 0 0 7 】

本発明は上述の問題点に鑑みなされたものであり、画素開口率を高めると同時に蓄積容量を増大させることができ、しかも画素電極付近における配向膜の表面の凹凸を低減することで、高品位の画像表示が可能な電気光学装置を提供することを課題とする。

## 【 0 0 0 8 】

## 【課題を解決するための手段】

本発明の電気光学装置は上記課題を解決するために、一对の基板間に電気光学物質が挟持されてなり、該一对の基板のうち一方の基板上に、走査線と、該走査線と交差すると共に前記基板上で前記走査線よりも上方に位置するデータ線と、該データ線及び前記走査線に接続されており、チャンネル領域を含むと共に前記基板上で前記走査線よりも下方に位置する半導体層を有してなる薄膜トランジスタと、前記半導体層のドレイン領域に第1コンタクトホールを介して電氣的に接続された中間導電層と、前記中間導電層に第2コンタクトホールを介して接続された画素電極とを備えており、前記第1コンタクトホールは、平面的に見て前記データ線に重なる位置に開孔されている。

## 【 0 0 0 9 】

本発明の電気光学装置によれば、半導体層のドレイン領域と画素電極とは、第



1 及び第 2 コンタクトホールを介して中間導電層を経由して接続されているので、両者間にある走査線、データ線、層間絶縁膜等の合計膜厚が大きくても、両者間を比較的小径の 2 つのコンタクトホールによって良好に接続することが可能となる。しかも、このような中間導電層を用いれば、第 2 コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。

#### 【 0 0 1 0 】

ここで特に、第 1 コンタクトホールは、平面的に見てデータ線に重なる位置に開孔されている。従って、走査線を構成する導電膜の下側と上側に夫々位置する半導体層と中間導電層とを接続する第 1 コンタクトホールが存在しても、データ線に沿って広がる遮光領域を利用して、走査線を第 1 コンタクトホールを避けて配線することが容易となる。このため、データ線に重なっていない走査線方向の領域に、第 1 コンタクトホールを無理に開孔する必要がなくなる。従って、係るデータ線に重なっていない領域に括れ部分を形成しない分だけ、走査線方向に沿った遮光領域の合計幅を狭めることが可能となり、結果として各画素の開口領域を広げることが可能となる。

#### 【 0 0 1 1 】

更にデータ線に沿った遮光領域を利用して第 1 コンタクトホールを開孔するので、第 1 コンタクトホールの存在により各画素の開口領域に不規則な凹凸を発生することがない。これにより、画素電極付近におけるラビング処理を均一に行うことが可能となり且つ電気光学物質の層厚を均一化することも可能となる。この結果、液晶等の電気光学物質における配向不良等の如き動作不良を低減できる。

#### 【 0 0 1 2 】

更にまた、蓄積容量を作り込む面積を増加させることができ、蓄積容量を増大させることも可能となる。この結果、蓄積容量を増大させ、且つ同時に各画素の開口率を向上させることが可能となる。

#### 【 0 0 1 3 】

以上のように、本発明の電気光学装置によれば、画素開口率を高めると同時に蓄積容量を増大させることができ、しかも画素電極付近における配向膜の表面に不規則な凹凸が生じることによる表示画像の品位低下を低減できる。これらの結

果、明るくてコントラスト比が高く、フリッカー、ゴースト、クロストーク等の表示不良が大幅に低減された高品位の画像表示が可能となる。

## 【 0 0 1 4 】

本発明の電気光学装置の一の態様では、前記第 1 コンタクトホールは、平面的に見て前記走査線に沿った遮光領域と前記データ線に沿った遮光領域の交差部に開孔されている。

## 【 0 0 1 5 】

この態様によれば、第 1 コンタクトホールは、走査線方向の遮光領域とデータ線方向の遮光領域の交差部に開孔されている。従って、第 1 コンタクトホールの位置は、走査線方向についてもデータ線方向についても、画素の開口領域から離間している。このため、第 1 コンタクトホールを開孔することにより生じる不規則な凹凸の影響を効率的に低減することが可能となる。

## 【 0 0 1 6 】

本発明の電気光学装置の他の態様では、前記第 2 コンタクトホールは、平面的に見て前記走査線に沿った遮光領域のうち相隣接する 2 本のデータ線間のほぼ中央に開孔されている。

## 【 0 0 1 7 】

この態様によれば、第 2 コンタクトホールは、相隣接する 2 本のデータ線間のほぼ中央に開孔されているので、第 2 コンタクトホール上の凹凸を、各画素の開口領域の一辺に沿った遮光領域のほぼ中央付近に配置させることができる。これにより、第 2 コンタクトホール上の凹凸による悪影響を各画素毎に左右対称にでき、全画素を巨視的に見た場合における各画素の表示不良を平均化することができる。

## 【 0 0 1 8 】

本発明の電気光学装置の他の態様では、前記中間導電層は、前記走査線と同一膜からなる容量電極と層間絶縁膜を介して対向配置されている。

## 【 0 0 1 9 】

この態様によれば、中間導電層は、走査線と同一膜からなる容量電極と、層間絶縁膜を介して対向配置されているので、画素電極に接続された蓄積容量を付加

することができる。即ち、容量電極の下側のみならず、容量電極の上側にも、蓄積容量を立体的に構築できるので、限られた遮光領域を有効利用して蓄積容量を増大させることができる。

【 0 0 2 0 】

この態様では、前記第 2 コンタクトホールは、平面的に見て前記容量電極に重なる位置に開孔されているように構成してもよい。

【 0 0 2 1 】

このように構成すれば、第 2 コンタクトホールが開孔された平面位置における中間導電層部分も、容量電極上に重なっている、即ち容量電極に絶縁膜を介して対向配置されているので、第 2 コンタクトホールが開孔された平面領域にも蓄積容量を構築できる。

【 0 0 2 2 】

本発明の電気光学装置の他の態様では、前記容量電極は、平面的に見て前記走査線に沿って伸びる部分と前記データ線と交差する個所から前記データ線に沿って伸びる部分とを有し、前記中間導電層は、前記容量電極の少なくとも一部に層間絶縁膜を介して重ねられている。

【 0 0 2 3 】

この態様によれば、データ線に沿った遮光領域において、半導体層のドレイン領域から延設された電極と容量電極とを対向配置させることができ、且つ該容量電極と中間導電層とを対向配置させることができる。従って、データ線に沿った遮光領域にも、立体的な蓄積容量を構築できる。

【 0 0 2 4 】

或いは本発明の電気光学装置の他の態様では、前記中間導電層は、平面的に見て走査線に沿って伸びる部分と前記データ線と交差する個所から前記データ線に沿って伸びる部分とを有する。

【 0 0 2 5 】

この態様によれば、データ線に沿った遮光領域において、容量電極と中間導電層を対向配置させることができる。このように、中間導電層を走査線及びデータ線に沿って L 字型に形成することにより、遮光領域を有効に利用して蓄積容量を

増大することができる。

【 0 0 2 6 】

本発明の電気光学装置の他の態様では、前記中間導電層は、遮光性の導電膜からなる。

【 0 0 2 7 】

この態様によれば、遮光性の導電膜からなる中間導電層により、薄膜トランジスタのチャネル領域やその隣接領域を遮光することが可能となる。即ち、一般には、薄膜トランジスタを構成する半導体層のチャネル領域或いはその隣接領域に光が入射すると、光励起によるリーク電流が発生する。これにより、当該薄膜トランジスタのオフ状態における特性が変化する。これに対し、本発明によれば、中間導電層を利用してこのような光入射によるトランジスタ特性の変化を防止できる。

【 0 0 2 8 】

この態様では、前記中間導電層は、前記遮光領域の一部を規定するように構成してもよい。

【 0 0 2 9 】

このように構成すれば、例えば画素電極等が形成された一方の基板に対向配置される他方の基板である対向基板に遮光領域を規定するための遮光膜を形成したり、遮光領域を規定するためにデータ線の幅を広めて形成したり、或いは一方の基板内に遮光領域規定用の内蔵遮光膜を別途形成したりすることを少なくとも部分的に排除できる。即ち、遮光領域を規定するための遮光膜等が少なくとも部分的に不要となる分だけ、一方の基板と他方の基板の貼り合わせ時のアライメントずれによる電気光学装置の透過率低下を招くことがない。これにより、電気光学装置の不良を大幅に低減することができる。

【 0 0 3 0 】

この場合には更に、前記中間導電層は、平面的に見て前記データ線に沿って伸びる部分を含み、前記データ線に沿った方向の前記遮光領域の一部が規定されているように構成してもよい。

【 0 0 3 1 】

このように構成すれば、データ線に沿って中間導電層により遮光領域が規定されている部分については、対向基板に遮光領域を規定するための遮光膜を形成したり、遮光領域を規定するためにデータ線の幅を広めて形成したり、或いは内蔵遮光膜を別途形成したりすることを排除できる。これにより、電気光学装置の透過率ばらつきを大幅に低減することができる。

## 【 0 0 3 2 】

この場合には更に、前記容量電極は、平面的に見て前記データ線に沿って伸びる部分を有し、前記データ線に沿った個所において夫々、前記データ線の幅  $W_d$  と、前記容量電極の幅  $W_c$  と、前記データ線に沿って伸びる中間導電層部分の幅  $W_m$  との間には、 $W_d < W_c < W_m$  なる関係が成立するように構成してもよい。

## 【 0 0 3 3 】

このように構成すれば、一对の基板のうち対向基板側からの入射光に対しては、データ線及び中間導電層で二重の遮光が可能となる。ここで一般に画像信号を供給するデータ線の材料としては配線抵抗が低いことが優先されて A 1 (アルミニウム) 膜が利用されるが、A 1 膜の場合には遮光膜であると同時に極めて反射率の高い反射膜である。従って、A 1 膜からなるデータ線のみにより薄膜トランジスタの遮光を行った場合には、基板面に対して傾斜した投射光や戻り光がデータ線の内面 (即ち、薄膜トランジスタに面する側の表面) で反射されて、積層構造内で多重反射を起こして、最終的にチャネル領域やその隣接領域に至ってしまう問題を引き起こす。しかるに、本発明のように構成すれば、データ線下に設けられた中間導電層を低反射の高融点金属膜やポリシリコン膜から形成することにより、上述の如き内面反射による多重反射光を減衰する構成を採用することが可能となる。他方、データ線よりも幅広の容量電極と中間導電層とにより更に大きな蓄積容量を構築できる。

## 【 0 0 3 4 】

この場合には更に、平面的に見て、前記画素電極における前記データ線に沿った縁部分は、前記中間導電層の縁部分に重ねられているように構成してもよい。

## 【 0 0 3 5 】

このように構成すれば、データ線幅を細く形成することができる。これにより

、データ線と画素電極との間の寄生容量を極力小さくすることができる。これにより、コントラスト比の低下や、クロストーク、ゴースト等の表示不良を顕著に低減することができる。

## 【 0 0 3 6 】

本発明の電気光学装置の他の態様では、前記データ線と前記中間導電層との間に膜厚 5 0 0 ~ 2 0 0 0 n m ( ナノメートル ) の層間絶縁膜を更に備える。

この態様によれば、データ線と中間導電層との間には、膜厚 5 0 0 ~ 2 0 0 0 n m の層間絶縁膜が介在しているため、データ線と中間導電層との間における寄生容量を実用上無視できる程度に小さくできる。即ち、データ線に中間導電層を重ねて配置することで生じる寄生容量に起因する画像品位の劣化を殆ど生じないようにできる。

## 【 0 0 3 7 】

本発明の電気光学装置の他の態様では、前記容量電極には、定電位が供給されている。

## 【 0 0 3 8 】

この態様によれば、走査線と同一膜からなる容量電極には、電気光学装置を駆動するための周辺回路 (例えば、走査線駆動回路、データ線駆動回路等) に供給される負電源、正電源等の定電位源、接地電源、対向電極に供給される定電位源から定電位が供給されているため、半導体層のドレイン領域から延設された電極及び中間導電層との間で安定した蓄積容量を構築することができる。

## 【 0 0 3 9 】

本発明の電気光学装置の他の態様では、前記容量電極は、前記走査線に沿って前記画像表示領域からその周囲に延設されて周辺領域で定電位源に接続されてなる。

## 【 0 0 4 0 】

この態様によれば、容量電極を延設して蓄積容量形成用の配線として代用し、画像表示領域の周囲で定電位源と接続することができるため、専用の配線を必要としない。これにより、工程増を招くことが無く有利である。

## 【 0 0 4 1 】

本発明の電気光学装置は、基板に走査線と、前記走査線に交差するデータ線と、前記走査線とデータ線の交差に対応して配置されたトランジスタと、前記トランジスタに接続された画素電極と、蓄積容量を有する電気光学装置において、前記トランジスタのチャネル領域は、前記走査線と前記データ線の交差領域に対応して配置されてなり、前記ソース・ドレイン領域は前記データ線に重なるように、且つ前記走査線を挟んで一方側に伸びるデータ線の下方と、他方側に伸びるデータ線の下方にそれぞれ配置されてなり、前記ドレイン領域は第1コンタクトホールを介して中継導電層に電氣的に接続されてなり、前記中継導電層は、第2コンタクトホールを介して前記画素電極に接続されてなり、前記ソース領域は第3コンタクトホールを介して前記データ線に電氣的に接続されてなり、前記第1コンタクトホール及び前記第3コンタクトホールは、平面的に見て前記データ線に重なる位置に開孔されていることを特徴とする。

## 【 0 0 4 2 】

本発明の電気光学装置によれば、上述したように中間導電層を用いれば、第2コンタクトホール開孔時におけるエッチングの突き抜け防止にも役立つ。ここで特に、第1コンタクトホールと第2コンタクトホールは、平面的に見てデータ線に重なる位置に開孔されている。即ち、非表示領域となるデータ線に重なるように第1コンタクトホールと第2コンタクトホールを形成するため、コンタクトホールによる開口率の低下を防ぐことができる。また、コンタクトホールの存在により各画素の開口領域に不規則な凹凸の発生を防ぐことができる。さらに、ソース・ドレイン・チャネル領域となる半導体層はデータ線に重なるように配置されているため、データ線が遮光膜として機能して半導体層への光の侵入を防ぐことができる。

## 【 0 0 4 3 】

本発明の電気光学装置の他の態様では、前記中継導電層は平面的に前記データ線に重なる位置において層間絶縁膜を介して容量電極と対向配置されてなることを特徴とする。

## 【 0 0 4 4 】

この態様によれば、データ線に重なる位置において中継導電層が層間絶縁膜を

介して容量電極に対向配置されているので、データ線の非表示領域を有効利用でき、蓄積容量による開口率の低下を抑えることができる。

【0045】

本発明のこのような作用及び他の利得は、次に説明する実施の形態から明らかにされる。

【0046】

【発明の実施の形態】

以下、本発明の実施形態を図面に基づいて説明する。

【0047】

（第1実施形態）

本発明による電気光学装置の第1実施形態である液晶装置の構成について、図1から図4を参照して説明する。図1は、電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路であり、図2は、データ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素群の平面図であり、図3は、図2のA-A'断面図である。尚、図3においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。また図4は、本実施形態における容量線及び走査線の平面パターン（図4（a））を比較例における平面パターン（図4（b））と比較して示す、容量線及び走査線の一部を拡大して示す平面図である。

【0048】

図1において、本実施形態における電気光学装置の画像表示領域を構成するマトリクス状に形成された複数の画素は、画素電極9aを制御するためのTFT30が形成されており、画像信号が供給されるデータ線6aが当該TFT30のソースに電氣的に接続されている。データ線6aに書き込む画像信号S1、S2、…、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6a同士に対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電氣的に接続されており、所定のタイミングで、走査線3aに走査信号G1、G2、…、Gmを、この順に線順次で印加するように構



成されている。画素電極 9 a は、T F T 3 0 のドレインに電氣的に接続されており、スイッチング素子である T F T 3 0 を一定期間だけそのスイッチを閉じることにより、データ線 6 a から供給される画像信号 S 1、S 2、…、S n を所定のタイミングで書き込む。画素電極 9 a を介して液晶に書き込まれた所定レベルの画像信号 S 1、S 2、…、S n は、対向基板（後述する）に形成された対向電極（後述する）との間で一定期間保持される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光が通過不可能とされ、ノーマリーブブラックモードであれば、印加された電圧に応じて入射光が通過可能とされ、全体として電気光学装置からは画像信号に応じたコントラスト比を持つ光が出射する。ここで、保持された画像信号がリークするのを防ぐために、画素電極 9 a と対向電極との間に形成される液晶容量と並列に、画素電極 9 a と電氣的に接続された容量電極と、容量線 3 b の一部である容量電極との間で、誘電体膜を介して蓄積容量 7 0 を付加する。例えば、画素電極 9 a の電圧は、ソース電圧が印加された時間よりも 3 桁も長い時間だけ蓄積容量 7 0 により保持される。これにより、保持特性は更に改善され、コントラスト比の高い電気光学装置が実現できる。

#### 【 0 0 4 9 】

図 2 において、電気光学装置の T F T アレイ基板上には、マトリクス状に複数の透明な画素電極 9 a（点線部 9 a' により輪郭が示されている）が設けられており、画素電極 9 a の縦横の境界に各々沿ってデータ線 6 a、走査線 3 a 及び容量線 3 b が設けられている。画素電極 9 a は、中間導電層の一例を構成する第 1 バリア層 8 0 を中継して、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を介して半導体層 1 a のうち後述のドレイン領域に電氣的に接続されている。データ線 6 a は、コンタクトホール 5 を介してポリシリコン膜等からなる半導体層 1 a のうち後述のソース領域に電氣的に接続されている。また、半導体層 1 a のうちチャネル領域 1 a'（図中右下りの斜線の領域）に対向するように走査線 3 a が配置されており、走査線 3 a はゲート電極として機能する。このように、走査線 3 a とデータ線 6 a との交差する個所には夫々、チャネル領域 1 a' に

走査線 3 a がゲート電極として対向配置された T F T 3 0 が設けられている

容量線 3 b は、走査線 3 a に沿ってほぼ直線状に伸びる部分と、データ線 6 a と交差する箇所からデータ線 6 a に沿って伸びる部分とを有する。

【 0 0 5 0 】

図 2 において、図中太線で示した領域には少なくとも T F T 3 0 の下側を通るように、第 1 遮光膜 1 1 a が設けられている。より具体的には図 2 において、第 1 遮光膜 1 1 a は夫々、走査線 3 a に沿って縞状に形成されていると共に、データ線 6 a と交差する箇所が図中下方に幅広に形成されており、この幅広の部分により各 T F T のチャネル領域 1 a' 及びその隣接領域を T F T アレイ基板側から見て覆う位置に設けられている。尚、第 1 遮光膜 1 1 a は本実施形態に示すように、走査線 3 a に沿った方向に当該走査線 3 a の下方を縞状に延設して形成しても良いし、データ線 6 a に沿った方向に当該データ線 6 a の下方を縞状に延設して形成しても良い。あるいは、走査線 3 a 及びデータ線 6 a に沿って各々の下方を格子状に延設して形成しても良い。また、第 1 遮光膜 1 1 a は、画素電極 9 a がマトリクス状に複数形成された画像表示領域の外側に延設されて、電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極に供給される定電位源のうち最適な定電位と電氣的に接続するようにすると良い。このように、第 1 遮光膜 1 1 a を定電位に固定することにより T F T 3 0 の誤動作を防ぐことができる。

【 0 0 5 1 】

本実施形態では特に、第 1 コンタクトホール 8 a は、データ線 6 a 下に設けられており、第 2 コンタクトホール 8 b は、相隣接するデータ線 6 a 間の中央付近における容量線 3 b 上に設けられている。また、データ線 6 a に沿って、第 1 バリア層 8 0 と同一膜からなる第 2 バリア層 1 8 0 が形成されている。第 2 バリア層 1 8 0 は、容量線 3 b におけるデータ線 6 a に沿って伸びる部分に重ねられており、第 2 バリア層 1 8 0 と容量線 3 b とは、データ線 6 a 下に設けられたコンタクトホール 1 8 a により相互に電氣的に接続されている。また、容量線 3 b は、第 1 コンタクトホール 8 a が形成されたデータ線 6 a 下の領域でデータ線 6 a

と交差する遮光領域で、第 1 コンタクトホール 8 a を避けるように括れて形成されており、容量線 3 b が第 1 コンタクトホール 8 a と電氣的な接触を持たないように構成されている。

#### 【 0 0 5 2 】

また、図 2 及び図 3 の断面図に示すようにチャネル領域 1 a' は、走査線 3 a とデータ線 6 a の交差領域に対応して配置されている。また半導体層 1 a からなる高濃度ソース領域 1 d、低濃度ソース領域 1 b、チャネル領域 1 a'、低濃度ドレイン領域 1 c 及び高濃度ドレイン領域 1 e はデータ線 6 a に重なるように、しかもデータ線に覆われるように配置されている。さらに高濃度ソース領域 1 d、低濃度ソース領域 1 b、チャネル領域 1 a'、低濃度ドレイン領域 1 c 及び高濃度ドレイン領域 1 e は走査線 3 a を挟んで一方側に伸びるデータ線 6 a の下方に高濃度ソース領域 1 d と低濃度ソース領域 1 b が配置され、他方側に伸びるデータ線 6 a の下方に低濃度ドレイン領域 1 c と高濃度ドレイン領域 1 e が配置されている。さらに、高濃度ドレイン領域 1 e は第 1 コンタクトホール 8 a を介して第 1 バリア層 8 0 に電氣的に接続され、第 1 バリア層 8 0 は、第 2 コンタクトホール 8 b を介して画素電極 9 a に接続され、高濃度ソース領域 1 d は第 3 コンタクトホール 5 を介してデータ線 6 a に電氣的に接続されている。このように非表示領域となるデータ線 6 a に重なるように第 1 コンタクトホール 8 a と第 3 コンタクトホール 5 を形成するため、コンタクトホールによる開口率の低下を防ぐことができる。また、コンタクトホールの存在により各画素の開口領域に不規則な凹凸の発生を防ぐことができる。さらに半導体層はデータ線 6 a に重なるように配置されているため、データ線が遮光膜として機能して半導体層への光の侵入を防ぐことができる。

#### 【 0 0 5 3 】

次に図 3 の断面図に示すように、電気光学装置は、基板の一例を構成する透明な TFT アレイ基板 1 0 と、これに対向配置される透明な対向基板 2 0 とを備えている。TFT アレイ基板 1 0 は、例えば石英基板やガラス基板やシリコン基板からなり、対向基板 2 0 は、例えばガラス基板や石英基板からなる。TFT アレイ基板 1 0 には、画素電極 9 a が設けられており、その上側には、ラビング処理

等の所定の配向処理が施された配向膜 1 6 が設けられている。画素電極 9 a は例えば、ITO (Indium Tin Oxide) 膜などの透明導電性薄膜からなる。また配向膜 1 6 は例えば、ポリイミド薄膜などの有機薄膜からなる。

## 【 0 0 5 4 】

他方、対向基板 2 0 には、その全面に渡って対向電極 2 1 が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜 2 2 が設けられている。対向電極 2 1 は例えば、ITO 膜などの透明導電性薄膜からなる。また配向膜 2 2 は、ポリイミド薄膜などの有機薄膜からなる。

## 【 0 0 5 5 】

TFT アレイ基板 1 0 には、各画素電極 9 a に隣接する位置に、各画素電極 9 a をスイッチング制御する画素スイッチング用 TFT 3 0 が設けられている。

## 【 0 0 5 6 】

対向基板 2 0 には、更に図 3 に示すように、各画素の遮光領域に、第 2 遮光膜 2 3 が設けられている。後に詳述するように、この第 2 遮光膜 2 3 等により、対向基板 2 0 の側から入射光が画素スイッチング用 TFT 3 0 の半導体層 1 a のチャンネル領域 1 a' や、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c を含むチャンネル領域 1 a' の隣接領域に侵入することはない。更に、第 2 遮光膜 2 3 は、コントラスト比の向上、カラーフィルタを形成した場合における色材の混色防止などの機能を有する。

## 【 0 0 5 7 】

このように構成され、画素電極 9 a と対向電極 2 1 とが対面するように配置された TFT アレイ基板 1 0 と対向基板 2 0 との間には、後述のシール材により囲まれた空間に電気光学物質の一例である液晶が封入され、液晶層 5 0 が形成される。液晶層 5 0 は、画素電極 9 a からの電界が印加されていない状態で配向膜 1 6 及び 2 2 により所定の配向状態をとる。液晶層 5 0 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなる。シール材は、TFT アレイ基板 1 0 及び対向基板 2 0 をそれらの周辺で貼り合わせるための、例えば光硬化性樹脂や熱硬化性樹脂からなる接着剤であり、両基板間の距離を所定値とするためのグラスファイバー或いはガラスビーズ等のギャップ材が混入されている。

## 【 0 0 5 8 】

更に図 3 に示すように、画素スイッチング用 T F T 3 0 に各々対向する位置において T F T アレイ基板 1 0 と各画素スイッチング用 T F T 3 0 との間には、第 1 遮光膜 1 1 a が設けられている。第 1 遮光膜 1 1 a は、好ましくは不透明な高融点金属である T i (チタン)、C r (クロム)、W (タングステン)、T a (タンタル)、M o (モリブデン) 及び P b (鉛) 等を少なくとも一つ含む、金属単体、合金、金属シリサイド等から構成される。このような材料から構成すれば、画素スイッチング用 T F T 3 0 の形成工程における高温処理により、第 1 遮光膜 1 1 a が破壊されたり溶融しないようにできる。第 1 遮光膜 1 1 a が形成されているので、T F T アレイ基板 1 0 側からの反射光等が光に対して励起しやすい画素スイッチング用 T F T 3 0 のチャネル領域 1 a' や低濃度ソース領域 1 b、低濃度ドレイン領域 1 c に入射する事態を未然に防ぐことができ、光に起因したリーク電流の発生により画素スイッチング用 T F T 3 0 の特性が変化することはない。

## 【 0 0 5 9 】

更に、第 1 遮光膜 1 1 a と複数の画素スイッチング用 T F T 3 0 との間には、下地絶縁膜 1 2 が設けられている。下地絶縁膜 1 2 は、画素スイッチング用 T F T 3 0 を構成する半導体層 1 a を第 1 遮光膜 1 1 a から電氣的に絶縁するために設けられるものである。更に、下地絶縁膜 1 2 は、T F T アレイ基板 1 0 の全面に形成されることにより、画素スイッチング用 T F T 3 0 のための下地膜としての機能をも有する。即ち、T F T アレイ基板 1 0 表面の研磨時における荒れや、洗浄後に残る汚れ等で画素スイッチング用 T F T 3 0 の特性の劣化を防止する機能を有する。下地絶縁膜 1 2 は、例えば、N S G (ノンドープシリケートガラス)、P S G (リンシリケートガラス)、B S G (ボロンシリケートガラス)、B P S G (ボロンリンシリケートガラス) などの高絶縁性ガラス又は、酸化シリコン膜、窒化シリコン膜等からなる。下地絶縁膜 1 2 により、第 1 遮光膜 1 1 a が画素スイッチング用 T F T 3 0 等を汚染する事態を未然に防ぐこともできる。

## 【 0 0 6 0 】

図 2 及び図 3 に示すように、走査線 3 a と同一の導電性ポリシリコン膜からな

る容量線 3 b はその下側において、半導体層 1 a のドレイン領域 1 e から延設されてなる第 1 容量電極 1 f に対して、絶縁薄膜 2 を介して対向配置され、第 2 容量電極として機能している部分を有する。これにより、T F T 3 0 を構成するゲート絶縁膜を含む絶縁薄膜 2 を用いて、大きな蓄積容量 7 0 を形成することができる。更に、容量線 3 b の一部はその上側において第 1 バリア層 8 0 の一部に対して、第 1 層間絶縁膜 8 1 を介して対向配置されている。この第 1 層間絶縁膜 8 1 を薄膜化することにより、更に大きな蓄積容量 7 0 を形成することができる。このように、容量線 3 b の下側のみならず、容量線 3 b の上側にも、蓄積容量 7 0 を立体的に構築できるので、限られた遮光領域を有効利用して蓄積容量 7 0 を増大できる。

## 【 0 0 6 1 】

尚、本実施形態では走査線 3 b と同一膜からなる第 2 容量電極を延設して容量線 3 b を形成しているが、この態様によれば、専用の配線を必要としないので、工程増を招くことが無く有利である。走査線 3 b と同一膜で容量線 3 b を形成できない場合は、各画素毎に第 2 容量電極を島状に形成し、これに定電位を供給する例えば第 1 遮光膜 1 1 a を蓄積容量形成用の配線として代用しても良い。この場合、各画素毎に第 1 遮光膜 1 1 a と第 2 容量電極を電氣的に接続するとすると良い。第 2 容量電極には、電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極に供給される定電位源のうち最適な定電位が供給されているため、第 1 容量電極 1 f 及びバリア層 8 0 との間で安定した蓄積容量 7 0 を構築することができる。

## 【 0 0 6 2 】

本実施形態では特に図 2 及び図 3 に示すように、第 1 コンタクトホール 8 a は、平面的に見てデータ線 6 a に重なる位置に開孔されている。従って、走査線 3 a や容量線 3 b を構成する導電性のポリシリコン膜の下側と上側に夫々位置する半導体層 1 a と第 1 バリア層 8 0 とを接続する第 1 コンタクトホール 8 a が存在しても、データ線 6 a に沿って広がる遮光領域を利用して、走査線 3 a や容量線 3 b を第 1 コンタクトホール 8 a を避けて配線することが容易となる。この様子

を図 4 (a) に拡大して示す。

【 0 0 6 3 】

仮に図 4 (b) に示した比較例のように、データ線 6 a' に重なっていない走査線 3 a' 部分と容量線 3 b' 部分とが並んで配置された領域に、第 1 コンタクトホール 8 a' を開孔する場合には、第 1 コンタクトホール 8 a' を避けるように容量線 3 b' や走査線 3 a' を第 1 コンタクトホール 8 a' の周りで括れさせる必要が生じる。しかし、括れ部分が大きいと、容量線 3 b' や走査線 3 a' の配線幅が局所的に狭くなり、配線抵抗が大きくなる。これにより、信号遅延やクロストーク等の表示不良を発生してしまう。このため、走査線 3 a' 方向の遮光領域の幅  $W'$  は、図 4 (a) に示した本実施形態における走査線 3 a 方向の遮光領域の幅  $W$  よりも大きくなる（即ち、 $W' > W$ ）。即ち、比較例と比較して、本実施形態では、走査線 3 a 方向の遮光領域の幅  $W$  が狭くて済む分だけ各画素の開口領域を広げることが可能となるのである。

【 0 0 6 4 】

また、図 4 (a) に示すようにデータ線 6 a 方向の遮光領域と走査線 3 a 方向の遮光領域の交差部で第 1 コンタクトホール 8 a を設けることで、当該第 1 コンタクトホール 8 a の存在及びこれを避けて配線される容量線 3 b の存在に起因してそれらの上方（配向膜 1 6 の表面）に生じる不規則な凹凸を低減することが可能となる。また、画素の開口領域から離間している。このため、第 1 コンタクトホール 8 a を開孔することにより生じる不規則な凹凸の影響を効率的に低減できる。このように画素電極 9 a 付近における配向膜 1 6 表面の凹凸が低減されていれば、画素電極 9 a 付近におけるラビング処理を均一に行うことが可能となり且つ液晶層 5 0 の層厚を均一化できる。この結果、液晶層 5 0 の配向不良を低減できる。

【 0 0 6 5 】

更にまた、容量線 3 b の走査線 3 a に沿って伸びる部分には、第 1 コンタクトホール 8 a を避けるための括れが無い分だけ第 1 容量電極 1 f に対向配置される第 2 容量電極の面積を増加させることができ、この第 2 容量電極と第 1 容量電極 1 f とにより構築可能な蓄積容量 7 0 を増大できる。

## 【 0 0 6 6 】

また本実施形態では図 2 に示したように、第 2 コンタクトホール 8 b は、平面的に見て走査線 3 a に沿った各画素の遮光領域のうち相隣接する 2 本のデータ線 6 a 間のほぼ中央に開孔されている。このため、第 2 コンタクトホール 8 b 上における配向膜 1 6 の凹凸を、各画素の開口領域の一辺に沿った遮光領域のほぼ中央付近に配置させることができる。これにより、第 2 コンタクトホール 8 b 上における配向膜 1 6 表面の凹凸による悪影響を各画素毎に左右対称にでき、全画素を巨視的に見た場合における各画素の表示不良を平均化できる。

## 【 0 0 6 7 】

このように本実施形態では、第 2 コンタクトホール 8 b の開孔位置についての自由度は高く、第 1 バリア層 8 0 上で、データ線 6 a と重なっていない領域であれば、任意の位置に第 2 コンタクトホール 8 b を開孔可能である。

## 【 0 0 6 8 】

このため本実施形態では、第 2 コンタクトホール 8 b を容量線 3 b に重なる位置に開孔することにより、第 2 コンタクトホール 8 b が開孔された平面領域にも蓄積容量 7 0 を構築することができ、有利である。

## 【 0 0 6 9 】

尚、蓄積容量 7 0 中の一の誘電体膜としての絶縁薄膜 2 は、高温酸化等によりポリシリコン膜上に形成される T F T 3 0 のゲート絶縁膜に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、他の誘電体膜としての第 1 層間絶縁膜 8 1 は絶縁薄膜 2 と同様に薄く形成することが可能である。従って、これらの誘電体膜を薄く構成することにより、より一層小さい領域で大容量の蓄積容量 7 0 を構築できる。

## 【 0 0 7 0 】

以上のように、本実施形態の電気光学装置によれば、画素開口率を高めると同時に蓄積容量 7 0 を増大させることができ、しかも画素電極 9 a 付近における配向膜 1 6 の表面に不規則な凹凸が生じることによる表示画像の品位低下を低減できる。これらの結果、明るくてコントラスト比が高く、フリッカー、ゴースト、クロストーク等の表示不良の低減された高品位の画像表示が可能となる。



## 【 0 0 7 1 】

再び図 3 において、画素スイッチング用 T F T 3 0 は、L D D (Lighty Doped Drain) 構造を有しており、走査線 3 a、当該走査線 3 a からの電界によりチャネルが形成される半導体層 1 a のチャネル領域 1 a'、走査線 3 a と半導体層 1 a とを絶縁する絶縁薄膜 2、データ線 6 a、半導体層 1 a の低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c、半導体層 1 a の高濃度ソース領域 1 d 並びに高濃度ドレイン領域 1 e を備えている。高濃度ドレイン領域 1 e には、複数の画素電極 9 a のうちの対応する一つが第 1 バリア層 8 0 を中継して接続されている。本実施形態では特にデータ線 6 a は、A 1 等の低抵抗な金属膜や金属シリサイド等の合金膜などの遮光性且つ導電性の薄膜から構成されている。

## 【 0 0 7 2 】

走査線 3 a 及び容量線 3 b 上に設けられた第 1 層間絶縁膜 8 1 には、高濃度ソース領域 1 d へ通じるコンタクトホール 5 及び高濃度ドレイン領域 1 e へ通じる第 1 コンタクトホール 8 a が各々形成されている。

## 【 0 0 7 3 】

第 1 層間絶縁膜 8 1 上には、第 1 コンタクトホール 8 a を介して高濃度ドレイン領域 1 e に接続された第 1 バリア層 8 0 と、コンタクトホール 1 8 a を介して容量線 3 b と接続された第 2 バリア層 1 8 0 とが形成されている。

## 【 0 0 7 4 】

第 1 バリア層 8 0 上には、第 2 層間絶縁膜 4 が形成されている。第 2 層間絶縁膜 4 上には、データ線 6 a が形成されており、データ線 6 a は、第 2 層間絶縁膜 4 に開孔されたコンタクトホール 5 を介して高濃度ドレイン領域 1 d に電氣的に接続されている。

## 【 0 0 7 5 】

更に、データ線 6 a 及び第 2 層間絶縁膜 4 上には、第 1 バリア層 8 0 への第 2 コンタクトホール 8 b が形成された第 3 層間絶縁膜 7 が形成されている。第 2 コンタクトホール 8 b を介して、画素電極 9 a は第 1 バリア層 8 0 に電氣的に接続されている。画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。

## 【 0 0 7 6 】

画素スイッチング用 T F T 3 0 は、好ましくは上述のように L D D 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物の打ち込みを行わないオフセット構造を持ってよいし、走査線 3 a の一部であるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するセルフアライン型の T F T であってもよい。

## 【 0 0 7 7 】

また本実施形態では、画素スイッチング用 T F T 3 0 の走査線 3 a の一部からなるゲート電極を高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。このようにデュアルゲート或いはトリプルゲート以上で T F T を構成すれば、チャンネルとソース及びドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を L D D 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

## 【 0 0 7 8 】

次に第 1 バリア層 8 0 について更に説明する。

## 【 0 0 7 9 】

図 2 及び図 3 に示すように、第 1 バリア層 8 0 は、半導体層 1 a と画素電極 9 a との間に介在しており、高濃度ドレイン領域 1 e と画素電極 9 a とを第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を経由して電氣的に接続する。

## 【 0 0 8 0 】

このため、画素電極 9 a から半導体層 1 a まで一つのコンタクトホールを開孔する場合と比較して、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b の径を夫々小さくできる。即ち、一つのコンタクトホールを開孔する場合には、エッチング時の選択比が低いとコンタクトホールを深く開孔する程エッチング精度は落ちるため、例えば 5 0 n m 程度の非常に薄い半導体層 1 a における突き抜けを防止するためには、コンタクトホールの径を小さくできるドライエッチングを途中で停止して、最終的にウエットエッチングで半導体層 1 a まで開孔するよ

うに工程を組まねばならない。或いは、ドライエッチングによる突き抜け防止用の膜を別途設けたりする必要が生じてしまうのである。

## 【 0 0 8 1 】

これに対して本実施形態では、画素電極 9 a 及び高濃度ドレイン領域 1 e を 2 つの直列な第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b により接続すればよいので、これら第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b を夫々、ドライエッチングにより開孔することが可能となるのである。或いは、少なくともウエットエッチングにより開孔する距離を短くすることが可能となるのである。但し、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b に夫々、若干のテーパーを付けるために、ドライエッチング後に敢えてウエットエッチングを行うようにしてもよい。以上のように本実施形態によれば、第 1 コンタクトホール 8 a 及び第 2 コンタクトホール 8 b の径を夫々小さくでき、第 1 コンタクトホール 8 a における第 1 バリア層 8 0 の表面に形成される窪みや凹凸も小さくて済むので、その上方に位置する画素電極 9 a の部分における平坦化が促進される。更に、第 2 コンタクトホール 8 b における画素電極 9 a の表面に形成される窪みや凹凸も小さくて済むので、この画素電極 9 a の部分における平坦化が促進される。更に本実施形態では、このように第 1 層間絶縁膜 8 1 を薄く形成することにより、第 2 コンタクトホール 8 b の径を更に小さく出来る。

## 【 0 0 8 2 】

第 1 バリア層 8 0 の具体的な材料としては、例えば第 1 遮光膜 1 1 a と同様に、不透明な高融点金属である T i 、 C r 、 W 、 T a 、 M o 及び P b 等を少なくとも一つ含む、金属単体、合金、金属シリサイド等が挙げられる。これらから構成すれば、高融点金属と画素電極 9 a を構成する I T O 膜とが接触しても高融点金属が腐食することはないため、第 2 コンタクトホール 8 b を介して第 1 バリア層 8 0 及び画素電極 9 a 間で良好に電氣的な接続がとれる。但し、第 1 バリア層 8 0 は、導電性のポリシリコン膜から構成してもよい。この場合でも、蓄積容量 7 0 を増加させる機能及び中継機能は十分に発揮し得る。この場合には特に、第 1 層間絶縁膜 8 1 との間で熱等によるストレスが発生しにくくなるので、クラック防止に役立つ。

## 【 0 0 8 3 】

また、第 1 バリア層 8 0 の膜厚は、例えば 5 0 n m 以上 5 0 0 n m 以下程度とするのが好ましい。第 1 バリア層 8 0 の膜厚が 5 0 n m 程度であれば、製造プロセスにおける第 2 コンタクトホール 8 b の開孔時に突き抜ける可能性は低くなり、また 5 0 0 n m 程度であれば画素電極 9 a の表面の凹凸は問題とならないか或いは比較的容易に平坦化可能だからである。但し、第 1 バリア層 8 0 は高融点金属膜やその合金膜から構成すれば、金属膜と層間絶縁膜とのエッチングにおける選択比が大きく異なるため、前述の如きドライエッチングによる突き抜けの可能性は殆ど無い。

## 【 0 0 8 4 】

以上に加えて本実施形態では特に、第 1 バリア層 8 0 及び第 2 バリア層 1 8 0 は、遮光性の導電膜である高融点金属膜からなる。従って、対向基板 2 0 上にある第 2 遮光膜 2 3 及び T F T アレイ基板 1 0 上にあるデータ線 6 a のみならず、第 1 バリア層 8 0 及び第 2 バリア層 1 8 0 により、T F T 3 0 のチャネル領域 1 a' やその隣接領域を遮光できる。これにより、対向基板 2 0 側から強力な入射光が入射しても、トランジスタ特性の変化を防止できる。このため本実施形態の電気光学装置は、例えばプロジェクタのライトバルブ用途の如く強力な入射光が入射される場合に有効である。

## 【 0 0 8 5 】

更に本実施形態では、このように遮光性の第 1 バリア層 8 0 及び第 2 バリア層 1 8 0 は、各画素の開口領域の一部を規定するように幅広に構成されているので、これらが存在する遮光領域には、対向基板 2 0 上に第 2 遮光膜 2 3 を形成したり開口領域を規定するためにデータ線 6 b の幅を広めて形成しなくてもよい。

## 【 0 0 8 6 】

ここでは特に、図 2 に示すようにデータ線 6 a に沿った各画素の遮光領域では、データ線 6 a の幅  $W d$  と、容量線 3 b の突出部分の幅  $W c$  と、第 2 バリア層 1 8 0 の幅  $W m$  との間には、 $W d < W c < W m$  なる関係が成立するように、これらのデータ線 6 a、容量線 3 b 及び第 2 バリア層 1 8 0 は平面レイアウトされている。従って、対向基板 2 0 側からの入射光に対しては、T F T アレイ基板 1 0 上

においてデータ線 6 a 及び第 2 バリア層 1 8 0 という二重の遮光が可能となる。仮に高反射率の A 1 膜からなるデータ線 6 a のみにより T F T 3 0 の遮光を行った場合には、基板面に対して傾斜した投射光や戻り光がデータ線 6 a の内面で反射されて多重反射光として最終的にチャネル領域 1 a' やその隣接領域に至ってしまう。しかしながら、本実施形態では、第 1 バリア層 8 0 及び第 2 バリア層 1 8 0 を低反射率の高融点金属膜やポリシリコン膜から形成することにより且つ第 2 バリア層 1 8 0 をデータ線 6 a よりも幅広 ( $W_d < W_m$ ) に形成することにより、上述の如き内面反射による多重反射光を減衰できる。従って、プロジェクタのライトバルブ用途のように強力な入射光や反射光が存在する用途では本実施形態の構成は大変有益である。

## 【 0 0 8 7 】

更にまた本実施形態では特に、平面的に見て、画素電極 9 a におけるデータ線 6 a に沿った縁部分は、第 2 バリア層 1 8 0 の縁部分に重ねるようにし、画素電極 9 a におけるデータ線 6 a に沿った縁部分は、データ線 6 a の縁部分にほとんど重ねない。このように、第 2 バリア層 1 8 0 で遮光領域を規定し、データ線 6 a と画素電極 9 a を極力重ねないようにすることで、ソース及びドレイン間の寄生容量を大幅に低減することができる。これにより、コントラスト比の低下や、クロストーク、ゴースト等の表示不良の発生を抑制し、高品位な電気光学装置を実現できる。

## 【 0 0 8 8 】

尚、本実施形態では好ましくは、データ線 6 a と第 2 バリア層 1 8 0 との間にある第 2 層間絶縁膜 4 は、その膜厚が 5 0 0 ~ 2 0 0 0 n m となるように形成される。このような膜厚条件に加えて、第 2 バリア層 1 8 0 は、コンタクトホール 1 8 a を介して容量線 3 b に接続されているので、データ線 6 a と第 2 バリア層 1 8 0 との間における寄生容量についても実用上無視できる程度に小さくできる。尚、より具体的な膜厚については、要求される画像品位や装置仕様に応じて、実験、理論計算、シミュレーション等により、個別具体的に決めればよい。

## 【 0 0 8 9 】

以上説明した実施形態では好ましくは第 1 遮光膜 1 1 a は、T F T アレイ基板

1 上の周辺領域に引き出されて、定電位線に接続される。このように構成すれば、第 1 遮光膜 1 1 a を一定電位に固定でき、下地絶縁膜 1 2 を介して第 1 遮光膜 1 1 a 上に形成される T F T 3 0 の特性を、第 1 遮光膜 1 1 a における電位変動により変化させることはない。この場合、定電位源としては、当該電気光学装置を駆動するための周辺回路（例えば、走査線駆動回路、データ線駆動回路等）に供給される負電源、正電源等の定電位源、接地電源、対向電極 2 1 に供給される定電位源等が挙げられる。容量線 3 a と第 1 遮光膜 1 1 a が電氣的に接続されていても良い。このような構成を採れば、蓄積容量形成用の配線を冗長構造で形成でき、有利である。

## 【 0 0 9 0 】

（電気光学装置の製造プロセス）

次に、以上のような構成を持つ第 1 実施形態の電気光学装置の製造プロセスについて、図 5 及び図 6 を参照して説明する。ここに、図 5 及び図 6 は各工程における T F T アレイ基板側の各層を、図 3 と同様に図 2 の A - A ' 断面に対応させて順を追って示す工程図である。

## 【 0 0 9 1 】

先ず図 5 の工程（1）に示すように、石英基板、ガラス基板、シリコン基板等の T F T アレイ基板 1 0 を用意する。ここで、好ましくは N<sub>2</sub>（窒素）等の不活性ガス雰囲気且つ約 9 0 0 ~ 1 3 0 0 °C の高温で熱処理し、後に実施される高温プロセスにおける T F T アレイ基板 1 0 に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおける最高温で高温処理される温度に合わせて、事前に T F T アレイ基板 1 0 を同じ温度かそれ以上の温度で熱処理しておく。そして、このように処理された T F T アレイ基板 1 0 の全面に、T i、C r、W、T a、M o 及び P b 等の金属や金属シリサイド等の金属合金膜を、スパッタリング等により、1 0 0 ~ 5 0 0 n m 程度の膜厚、好ましくは約 2 0 0 n m の膜厚の遮光性導電膜を形成した後、フォトリソグラフィ及びエッチングを行うことにより、第 1 遮光膜 1 1 a を形成する。尚、第 1 遮光膜 1 1 a 上に、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良い。

## 【 0 0 9 2 】

次に図5の工程(2)に示すように、第1遮光膜11aの上に、例えば、常圧又は減圧CVD法等によりTEOS(テトラ・エチル・オルソ・シリケート)ガス、TEB(テトラ・エチル・ボートレート)ガス、TMOP(テトラ・メチル・オキシ・フォスレート)ガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる下地絶縁膜12を形成する。この下地絶縁膜12の膜厚は、例えば、約500nm~2000nmとする。

#### 【0093】

次に図5の工程(3)に示すように、下地絶縁膜12の上に、約450~550℃、好ましくは約500℃の比較的低温環境中で、流量約400~600cc/minのモノシランガス、ジシランガス等を用いた減圧CVD(例えば、圧力約20~40PaのCVD)により、アモルファスシリコン膜を形成した後、窒素雰囲気中で、約600~700℃にて約1~10時間、好ましくは、4~6時間の熱処理を施することにより、アモルファスシリコン膜を約50~200nmの厚さ、好ましくは約100nmの厚さとなるまで固相成長させポリシリコン膜を形成する。固相成長させる方法としては、RTA(Rapid Thermal Anneal)を使った熱処理でも良いし、エキシマレーザー等を用いたレーザーアニールでも良い。

#### 【0094】

この際、画素スイッチング用TFT30として、nチャネル型の画素スイッチング用TFT30を作成する場合には、当該チャネル領域にSb(アンチモン)、As(砒素)、P(リン)などのV族元素の不純物を僅かにイオン注入等によりドーピングしても良い。また、画素スイッチング用TFT30をpチャネル型とする場合には、B(ボロン)、Ga(ガリウム)、In(インジウム)などのIII族元素の不純物を僅かにイオン注入等によりドーピングしても良い。尚、アモルファスシリコン膜を経ないで、減圧CVD法等によりポリシリコン膜1を直接形成しても良い。或いは、減圧CVD法等により堆積したポリシリコン膜にシリコンイオンを打ち込んで一旦非晶質化し、その後熱処理等により再結晶化させてポリシリコン膜1を形成しても良い。

## 【 0 0 9 5 】

次に図5の工程(4)に示すように、画素スイッチング用TFT30を構成する半導体層1aを約900～1300℃の温度、好ましくは約1000℃の温度により熱酸化することにより、約20～150nmの比較的薄い厚さの熱酸化シリコン膜からなる単一層構造の絶縁薄膜2を形成する。但し、係る熱酸化シリコン膜を30nm以下程度に薄く形成した後に、減圧CVD法等により高温酸化シリコン膜(HTO膜)や窒化シリコン膜からなる絶縁薄膜を約50nmの比較的薄い厚さに堆積し、これらの熱酸化シリコン膜及び絶縁薄膜を含む多層構造を持つ絶縁薄膜2を形成してもよい。このように複数層構造にすれば、高温熱酸化時間を短くすることにより、特に8インチ以上の大型基板を使用する場合に熱によるそりを防止することができる。

## 【 0 0 9 6 】

これらの結果、半導体層1aの厚さは、約30～150nmの厚さ、好ましくは約35～50nmの厚さとなり、絶縁薄膜2の厚さは、約20～150nmの厚さ、好ましくは約30～100nmの厚さとなる。

## 【 0 0 9 7 】

次に図5の工程(5)に示すように、フォトリソグラフィ工程、エッチング工程等によりレジスト層500を第1容量電極1fとなる部分を除く半導体層1a上に形成した後、例えばPイオンをドーズ量約 $3 \times 10^{12} / \text{cm}^2$ でドーピングして、第1容量電極1fを低抵抗化しても良い。

## 【 0 0 9 8 】

次に図6の工程(6)に示すように、先ずレジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、走査線3aと共に容量線3bを形成する。更に、画素スイッチング用TFT30をLDD構造を持つnチャネル型のTFTとする場合、半導体層1aに、先ず低濃度ソース領域1b及び低濃度ドレイン領域1cを形成するために、走査線3aの一部であるゲート電極をマスクとして、PなどのV族元素の不純物を低濃度で(例えば、Pイオンを $1 \sim 3 \times 10^{13} / \text{cm}^2$ のドーズ量にて)ドーピングする。これにより走査線3a下の半導体層1aはチャネル領域1a'となる。



## 【 0 0 9 9 】

次に図 6 の工程 ( 7 ) に示すように、画素スイッチング用 T F T 3 0 を構成する高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、走査線 3 a よりも幅の広いマスクでレジスト層 6 0 0 を走査線 3 a 上に形成した後、同じく P などの V 族元素の不純物を高濃度で（例えば、P イオンを  $1 \sim 3 \times 10^{15} / \text{cm}^2$  のドーズ量にて）ドーピングする。また、画素スイッチング用 T F T 3 0 を p チャンネル型とする場合、半導体層 1 a に、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 並びに高濃度ソース領域 1 d 及び高濃度ドレイン領域 1 e を形成するために、B などの III 族元素の不純物を用いてドーピングすれば良い。

## 【 0 1 0 0 】

次に図 6 の工程 ( 8 ) に示すように、レジスト層 6 0 0 を除去した後、走査線 3 a 及び容量線 3 b 上に、減圧 C V D 法、プラズマ C V D 法等により高温酸化シリコン膜 ( H T O 膜 ) や窒化シリコン膜を約 2 0 0 n m 以下の薄い厚さに堆積することにより、第 1 層間絶縁膜 8 1 を形成する。但し、このように絶縁膜を堆積する前に、石英基板等からなる T F T アレイ基板 1 0 上における高温プロセスを利用して、高耐圧であり比較的薄くて欠陥の少ない酸化膜を形成して、係る酸化膜を含めて吹く複数層構造を有する第 1 層間絶縁膜 8 1 を形成してもよい。

## 【 0 1 0 1 】

次に図 6 の工程 ( 9 ) に示すように、第 1 バリア層 8 0 と高濃度ドレイン領域 1 e とを電氣的に接続するための第 1 コンタクトホール 8 a を、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより第 1 層間絶縁膜 8 1 に開孔する。このようなドライエッチングは、指向性が高いため、小さな径のコンタクトホール 8 a を開孔可能である。或いは、コンタクトホール 8 a が半導体層 1 a を突き抜けるのを防止するのに有利なウエットエッチングを併用してもよい。このウエットエッチングは、コンタクトホール 8 a に対し、より良好に電氣的な接続をとるためのテーパを付与する観点からも有効である。本実施形態では、第 1 コンタクトホール 8 a の開孔と同時に第 2 バリア層 1 8 0 と容量線 3 b とを接続するためのコンタクトホール 1 8 a も開孔する。これにより、工程の増加を防ぐことができる。

## 【 0 1 0 2 】

次に図 6 の工程 ( 1 0 ) に示すように、第 1 層間絶縁膜 8 1 上に、第 1 遮光膜 1 1 a と同じく、Ti、Cr、W、Ta、Mo 及び Pd 等の金属や金属シリサイド等の金属合金膜やポリシリコン膜をスパッタリング等により堆積した後、フォトリソグラフィ及びエッチング処理により、第 1 バリア層 8 0 を形成する。これと同時に、第 2 バリア層 1 8 0 も形成する。尚、これらの第 1 バリア層 8 0 及び第 2 バリア層 1 8 0 上には、表面反射を緩和するためにポリシリコン膜等の反射防止膜を形成しても良いし、高濃度ドレイン領域 1 e と第 1 バリア層 8 0 の接続抵抗を小さくするために、第 1 バリア層 8 0 及び第 2 バリア層 1 8 0 の層構造を下層にポリシリコン膜、上層に高融点金属といった 2 層構造以上で形成しても良い。

## 【 0 1 0 3 】

次に図 6 の工程 ( 1 1 ) に示すように、走査線 3 a、容量線 3 b、第 1 層間絶縁膜 8 1 及び下地絶縁膜 1 2 からなる積層体における段差のある上面を覆うように、例えば、常圧又は減圧 CVD 法や TEOS ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜や酸化シリコン膜等からなる第 2 層間絶縁膜 4 を形成する。尚、第 2 層間絶縁膜 4 を形成した後に、半導体層 1 a を活性化するために約 1 0 0 0 ℃ の熱処理を行っても良い。

## 【 0 1 0 4 】

次に、データ線 6 a に対するコンタクトホール 5 をエッチングにより第 2 層間絶縁膜 4、第 1 層間絶縁膜 8 1 及び絶縁薄膜 2 に開孔し、その上にデータ線 6 a をスパッタリング法等により約 1 0 0 ~ 5 0 0 nm の厚さの Al 等の低抵抗金属膜や金属シリサイド膜から形成し、その上に第 3 層間絶縁膜 7 を CVD 法等により形成する。

## 【 0 1 0 5 】

続いて、第 3 層間絶縁膜 7 及び第 2 層間絶縁膜 4 に第 2 コンタクトホール 8 b をエッチングにより開孔し、最後に ITO 膜からなる画素電極 9 a を第 2 コンタクトホール 8 b を介して第 1 バリア層 8 0 と電気的な接続がとれるように形成する。特にこの工程 ( 1 1 ) においては、コンタクトホール 5 の開孔時に、走査線

3 a や容量線 3 b を基板周辺領域において図示しない配線と接続するためのコンタクトホールも、第 1 層間絶縁膜 8 1 や第 2 層間絶縁膜 4 に同時に開孔するとよい。また、データ線 6 a は、約 1 0 0 ~ 5 0 0 n m、好ましくは約 3 0 0 n m 程度に堆積し、第 3 層間絶縁膜 7 は、約 5 0 0 ~ 1 5 0 0 n m 程度に堆積するとよい。また、コンタクトホール 8 b は、反応性イオンエッチング、反応性イオンビームエッチング等のドライエッチングにより形成すればよいが、テーパ状にするためにウェットエッチングを用いても良い。更に、画素電極 9 a は、約 5 0 ~ 2 0 0 n m 程度の厚さに堆積するとよい。尚、当該電気光学装置を反射型の液晶装置に用いる場合には、A 1 等の反射率及び遮光性の高い材料から画素電極 9 a を形成してもよい。

## 【 0 1 0 6 】

以上説明したように本実施形態の製造プロセスによれば、上述した本実施形態の電気光学装置を比較的容易に製造できる。加えて、画素スイッチング用 T F T 3 0 は半導体層 1 a をポリシリコンで形成するので、画素スイッチング用 T F T 3 0 の形成時にほぼ同一工程で、周辺回路を形成することも可能である。

## 【 0 1 0 7 】

尚、以上説明した製造プロセスでは、画素電極 9 a が形成される段階で、膜面が平坦化されているように第 2 層間絶縁膜 4 や第 3 層間絶縁膜 7 の表面を C M P 法等により平坦化しても良い。或いは T F T アレイ基板 1 0 の所定領域にエッチングを予め施して凹状の窪みを形成して、その後の工程を同様に行うことにより結果的に第 3 層間絶縁膜 7 の表面が平坦化されるようにしても良いし、第 2 層間絶縁膜 4 や下地絶縁膜 1 2 を凹状に窪めて形成しても良い。このように、画素電極 9 a が形成される段階で、下地の膜面が平坦化されていれば、段差による液晶のディスクリネーションの発生を極力抑えることができ、コントラスト比の低下等の表示不良を招くことがない。

## 【 0 1 0 8 】

## (第 2 実施形態)

本発明による電気光学装置の第 2 実施形態である液晶装置の構成について、図 7 及び図 8 を参照して説明する。図 7 は、データ線、走査線、画素電極等が形成

された T F T アレイ基板の相隣接する複数の画素群の平面図であり、図 8 は、図 7 の A - A' 断面図である。尚、図 8 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

#### 【 0 1 0 9 】

図 7 及び図 8 に示すように第 2 実施形態は、第 1 実施形態における第 1 バリア層 8 0 及び第 2 バリア層 1 8 0 が分離されておらずに、各画素毎に L 字形状の一つのバリア層 8 0' として設けられている点と、これに伴って第 1 実施形態における第 2 バリア層 1 8 0 と容量線 3 b とを接続するためのコンタクトホール 1 8 a が開孔されていない点とが異なり、その他の構成については第 1 実施形態の場合と同様である。尚、図 7 及び図 8 においては、第 1 実施例に係る図 2 及び図 3 と同様の構成要素については同様の参照符号を付し、それらの説明については省略する。

#### 【 0 1 1 0 】

このように第 2 実施形態では、バリア層 8 0' は、データ線 6 a に沿った容量線 3 b の部分と第 2 層間絶縁膜 4 を介して重ねられ、蓄積容量 7 0 を形成する。従って、データ線 6 a に沿った遮光領域において、半導体層 1 a の高濃度ドレイン領域 1 e から延設された第 1 容量電極 1 f と容量線 3 b とを対向配置させ、且つ容量線 3 b とバリア層 8 0' とを対向配置させることができる。この結果、第 2 実施形態によれば、データ線 6 a に沿った遮光領域にも、立体的な蓄積容量 7 0 を構築できるため、小さな領域に効率的に大きな蓄積容量を形成することができ、画素の高開口率化や画素ピッチの微細化が進んだ際に、非常に有利な構造である。

#### 【 0 1 1 1 】

##### (第 3 実施形態)

本発明による電気光学装置の第 3 実施形態である液晶装置の構成について、図 9 及び図 1 0 を参照して説明する。図 9 は、データ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図であり、図 1 0 は、図 9 の A - A' 断面図である。尚、図 1 0 においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてあ

る。

#### 【 0 1 1 2 】

尚、図 9 及び図 1 0 においては、第 1 実施形態に係る図 2 及び図 3 若しくは第 2 実施形態に係る図 7 及び図 8 と同様の構成要素については同様の参照符号を付し、それらの説明については省略する。

#### 【 0 1 1 3 】

このように第 3 実施形態では、バリア層 8 0' は、データ線 6 a に沿った容量線 3 b" のデータ線 6 a に沿った部分に第 2 層間絶縁膜 4 を介して重ねられており、この領域でも蓄積容量 7 0 を形成している。従って、データ線 6 a に沿った遮光領域において、半導体層 1 a の高濃度ドレイン領域 1 e から延設された第 1 容量電極 1 f と容量線 3 b" とを対向配置させることができ、且つ容量線 3 b" とバリア層 8 0' とを対向配置させることができる。これに加えて第 2 実施形態の場合と異なり、第 1 コンタクトホール 8 a" が平面的に見て容量線 3 b" のデータ線 6 a に沿った部分の先端より更に先でバリア層 8 0' と半導体層 1 a が電氣的に接続できるように設けるため、容量線 3 b" に括れを設ける必要がなくなり、更に画素の開口率を高め、且つ蓄積容量 7 0 を増大することができる。

#### 【 0 1 1 4 】

以上説明した各実施形態では、各種コンタクトホールの平面形状は、円形や四角形或いはその他の多角形状等でもよいが、円形は特にコンタクトホールの周囲の層間絶縁膜等におけるクラック防止に役立つ。

#### 【 0 1 1 5 】

(電気光学装置の全体構成)

以上のように構成された各実施形態における電気光学装置の全体構成を図 1 1 及び図 1 2 を参照して説明する。尚、図 1 1 は、TFT アレイ基板 1 0 をその上に形成された各構成要素と共に対向基板 2 0 の側から見た平面図であり、図 1 2 は、図 1 1 の H-H' 断面図である。

#### 【 0 1 1 6 】

図 1 1 において、TFT アレイ基板 1 0 の上には、シール材 5 2 がその縁に沿って設けられており、その内側に並行して、例えば第 2 遮光膜 2 3 と同じ或いは

異なる材料から成る画像表示領域の周辺を規定する額縁としての第3遮光膜53が設けられている。シール材52の外側の領域には、データ線6aに画像信号を所定タイミングで供給することによりデータ線6aを駆動するデータ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられており、走査線3aに走査信号を所定タイミングで供給することにより走査線3aを駆動する走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号の遅延が問題にならないのならば、走査線駆動回路104は片側だけでも良いことは言うまでもない。また、データ線駆動回路101を画像表示領域の辺に沿って両側に配列してもよい。更にTFTアレイ基板10の残る一辺には、画像表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられている。また、対向基板20のコーナー部の少なくとも1箇所においては、TFTアレイ基板10と対向基板20との間で電氣的な導通をとるための上下導通材106が設けられている。そして、図12に示すように、図11に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52によりTFTアレイ基板10に固着されている。尚、TFTアレイ基板10上には、これらのデータ線駆動回路101、走査線駆動回路104等に加えて、複数のデータ線6aに画像信号を所定のタイミングで印加するサンプリング回路、複数のデータ線6aに所定電圧レベルのプリチャージ信号を画像信号に先行して各々供給するプリチャージ回路、製造途中や出荷時の当該電気光学装置の品質、欠陥等を検査するための検査回路等を形成してもよい。

#### 【0117】

以上図1から図12を参照して説明した各実施形態では、データ線駆動回路101及び走査線駆動回路104をTFTアレイ基板10の上に設ける代わりに、例えばTAB (Tape Automated Bonding)基板上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。また、対向基板20の投射光が入射する側及びTFTアレイ基板10の出射光が出射する側には各々、例えば、TN (Twisted Nematic) モード、VA (Vertically Aligned)モード、PDLC (Polymer

r Dispersed Liquid Crystal)モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光板などが所定の方向で配置される。

# 【 0 1 1 8 】

以上説明した各実施形態における電気光学装置は、カラー表示のプロジェクタに適用されるため、3枚の電気光学装置がR（赤）G（緑）B（青）用のライトバルブとして各々用いられ、各ライトバルブには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、各実施形態では、対向基板20に、カラーフィルタは設けられていない。しかしながら、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に、対向基板20上に形成してもよい。あるいは、TFTアレイ基板10上のRGBに対向する画素電極9a下にカラーレジスト等でカラーフィルタ層を形成することも可能である。このようにすれば、プロジェクタ以外の直視型や反射型のカラー電気光学装置に各実施形態における電気光学装置を適用できる。更に、対向基板20上に1画素1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい電気光学装置が実現できる。更にまた、対向基板20上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー表示用の電気光学装置が実現できる。

# 【 0 1 1 9 】

尚、以上説明した各実施形態における電気光学装置では、従来と同様に入射光を対向基板20の側から入射することとしたが、第1遮光膜11aを設けているので、TFTアレイ基板10の側から入射光を入射し、対向基板20の側から出射するようにしても良い。即ち、このように電気光学装置をプロジェクタに取り付けても、半導体層1aのチャネル領域1a'やその隣接領域に光が入射することを効果的に防ぐことが出来、高画質の画像を表示することが可能である。この際、TFTアレイ基板10の裏面側での反射を防止するための反射防止用のAR

(Anti Reflection)被膜された偏光板を別途配置したり A R フィルムを貼り付ける必要もなく、その分だけ、材料コストを削減でき、また偏光板貼り付け時に、ごみ、傷等により、歩留まりを落とすことがなく大変有利である。また、耐光性が優れているため、明るい光源を使用したり、偏光ビームスプリッタにより偏光変換して、光利用効率を向上させても、光によるクロストーク等の画質劣化を生じない。

## 【 0 1 2 0 】

また、各画素に設けられるスイッチング素子としては、正スタガ型又はコプラナー型のポリシリコン T F T であるとして説明したが、逆スタガ型の T F T やアモルファスシリコン T F T 等の他の形式の T F T に対しても、各実施形態は有効である。

## 【 0 1 2 1 】

本発明の電気光学装置は、上述した各実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置もまた本発明の技術的範囲に含まれるものである。

## 【図面の簡単な説明】

## 【図 1】

本発明の第 1 実施形態である電気光学装置における画像表示領域を構成するマトリクス状の複数の画素に設けられた各種素子、配線等の等価回路である。

## 【図 2】

第 1 実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

## 【図 3】

図 2 の A - A ' 断面図である。

## 【図 4】

本実施形態における容量線及び走査線の平面パターンを比較例における平面パターンと比較して示す、容量線及び走査線の一部を拡大して示す平面図である。

## 【図 5】



第 1 実施形態における液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図（その 1）である。

【図 6】

第 1 実施形態における液晶装置の製造プロセスの実施形態における画像表示領域についての各工程を順を追って示す工程図（その 2）である。

【図 7】

本発明の第 2 実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【図 8】

図 7 の A - A' 断面図である。

【図 9】

本発明の第 3 実施形態の液晶装置におけるデータ線、走査線、画素電極等が形成された T F T アレイ基板の相隣接する複数の画素群の平面図である。

【図 1 0】

図 9 の A - A' 断面図である。

【図 1 1】

各実施形態の液晶装置における T F T アレイ基板をその上に形成された各構成要素と共に対向基板の側から見た平面図である。

【図 1 2】

図 1 1 の H - H' 断面図である。

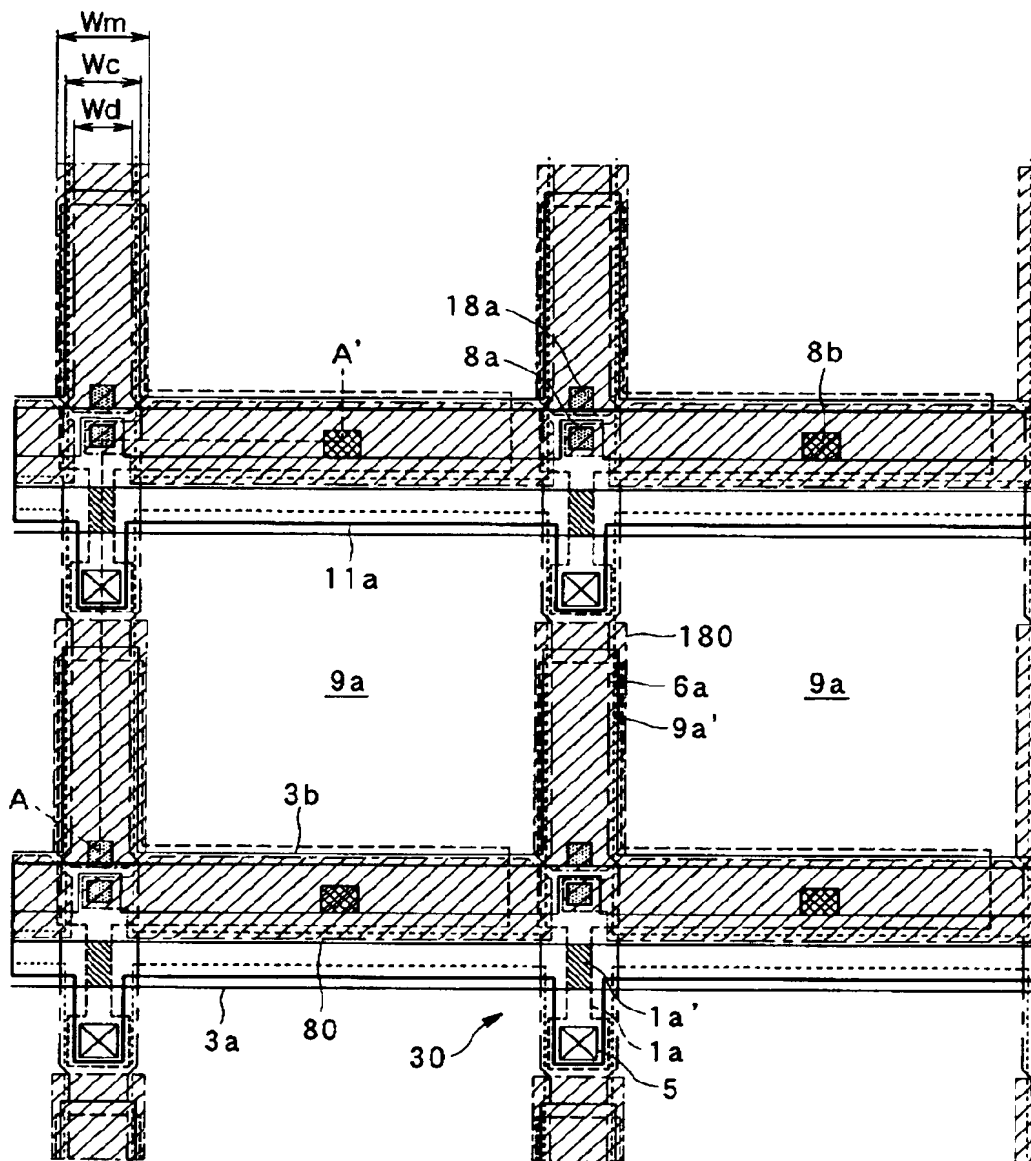
【符号の説明】

- 1 a …半導体層
- 1 a' …チャネル領域
- 1 b …低濃度ソース領域
- 1 c …低濃度ドレイン領域
- 1 d …高濃度ソース領域
- 1 e …高濃度ドレイン領域
- 1 f …第 1 容量電極
- 2 …絶縁薄膜

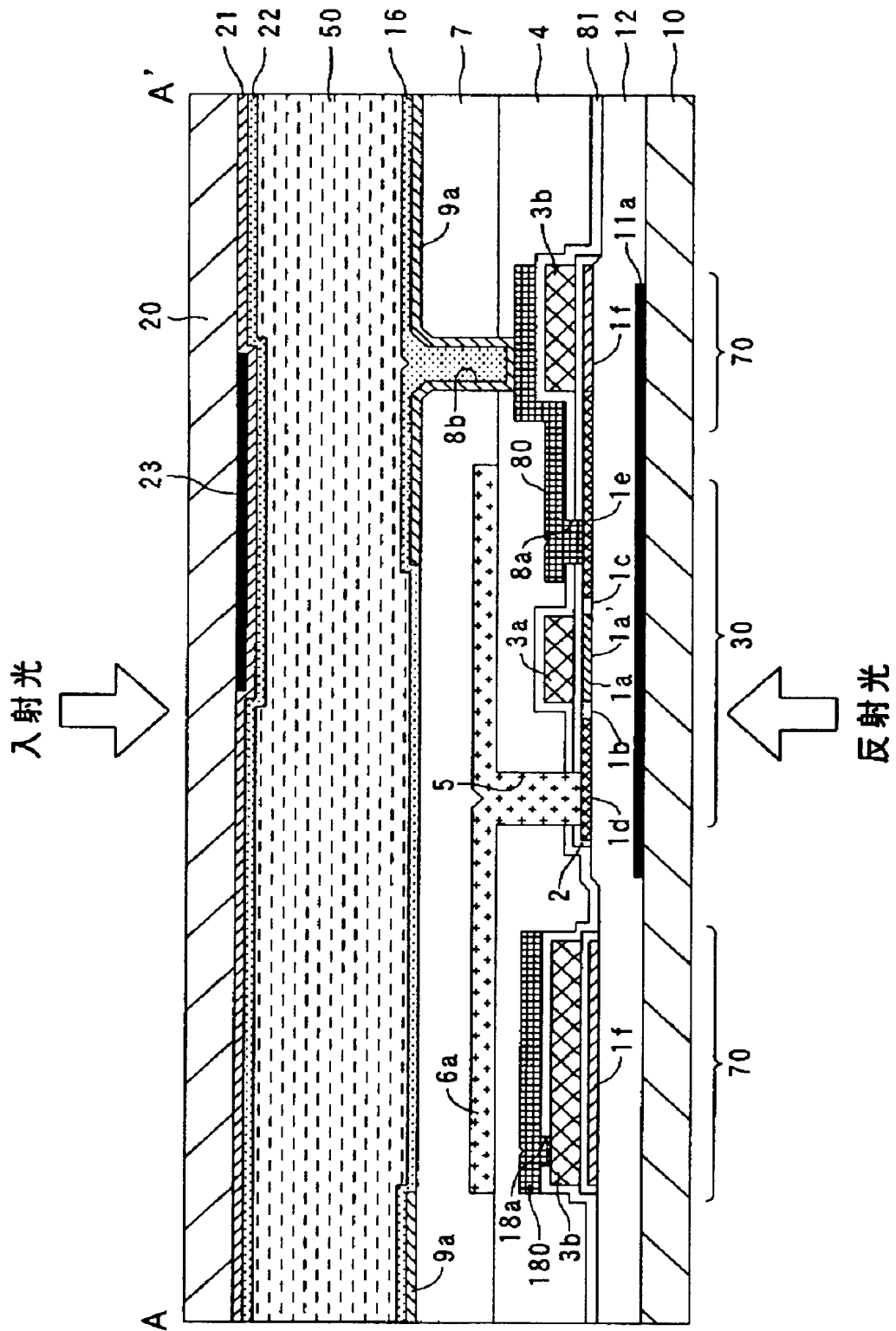
- 3 a …走査線
- 3 b、3 b" …容量線
- 4 …第 2 層間絶縁膜
- 5 …コンタクトホール
- 6 a …データ線
- 7 …第 3 層間絶縁膜
- 8 a、8 a" …第 1 コンタクトホール
- 8 b …第 2 コンタクトホール
- 1 8 …コンタクトホール
- 9 a …画素電極
- 1 0 …T F T アレイ基板
- 1 1 a …第 1 遮光膜
- 1 2 …下地絶縁膜
- 1 6 …配向膜
- 2 0 …対向基板
- 2 1 …対向電極
- 2 2 …配向膜
- 2 3 …第 2 遮光膜
- 3 0 …T F T
- 5 0 …液晶層
- 5 2 …シール材
- 5 3 …第 3 遮光膜
- 7 0 …蓄積容量
- 8 0 …第 1 バリア層
- 8 0' …バリア層
- 8 1 …第 1 層間絶縁膜
- 1 0 1 …データ線駆動回路
- 1 0 4 …走査線駆動回路
- 1 8 0 …第 2 バリア層



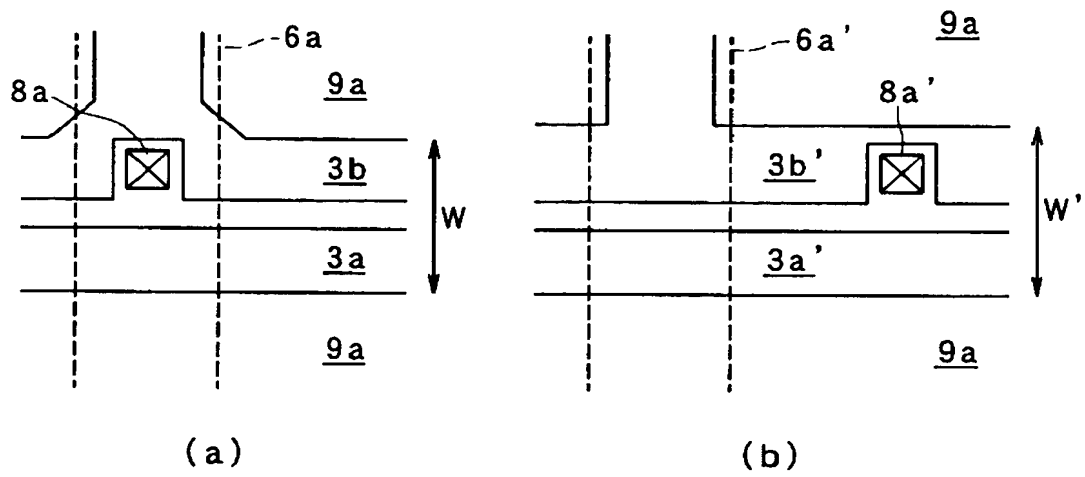
【図 2】



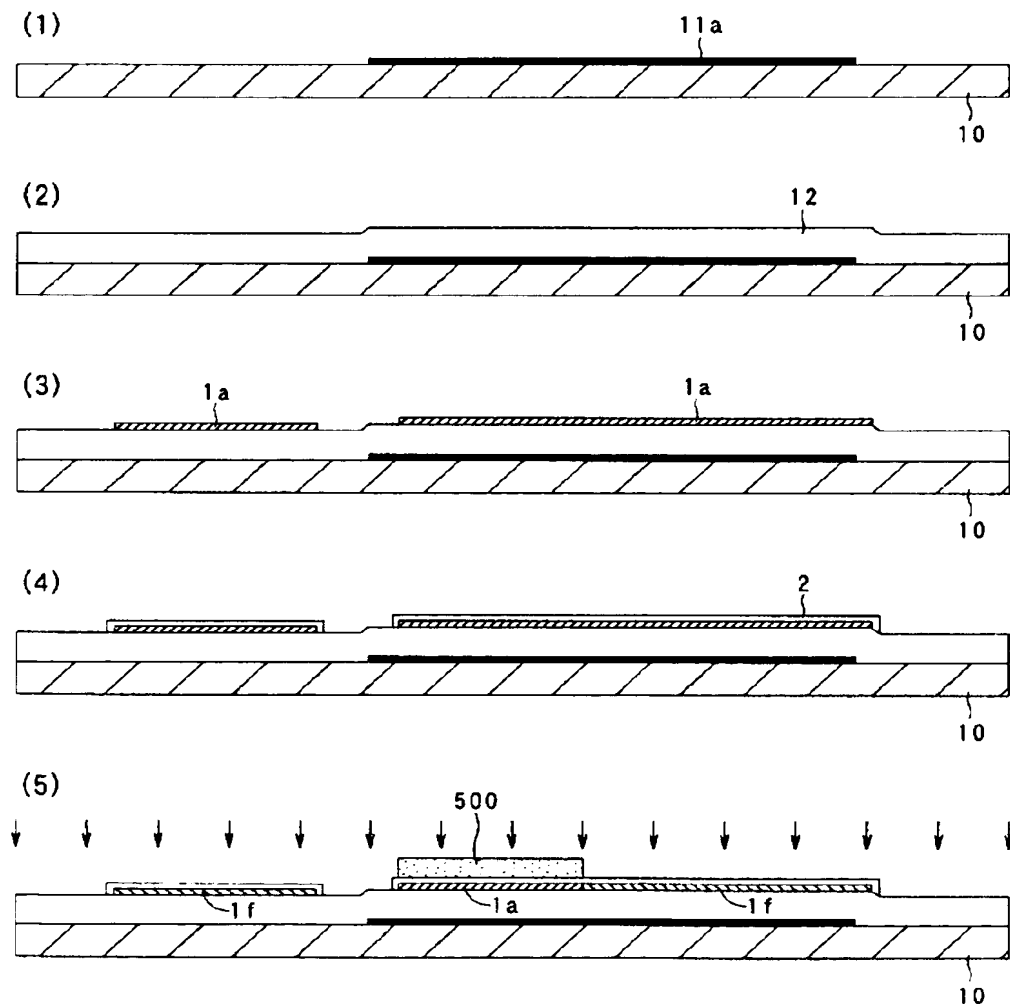
【図 3】



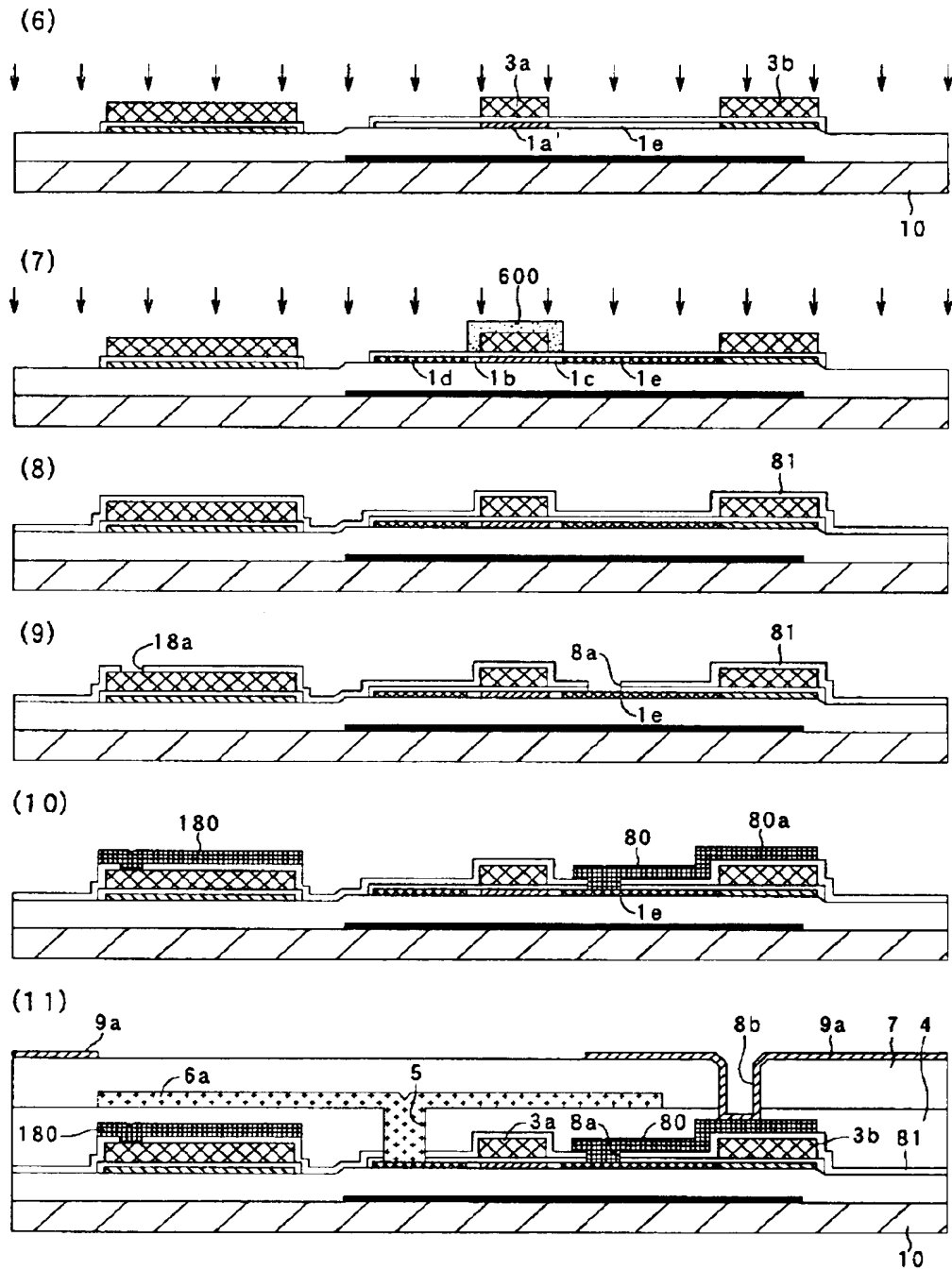
【図 4】



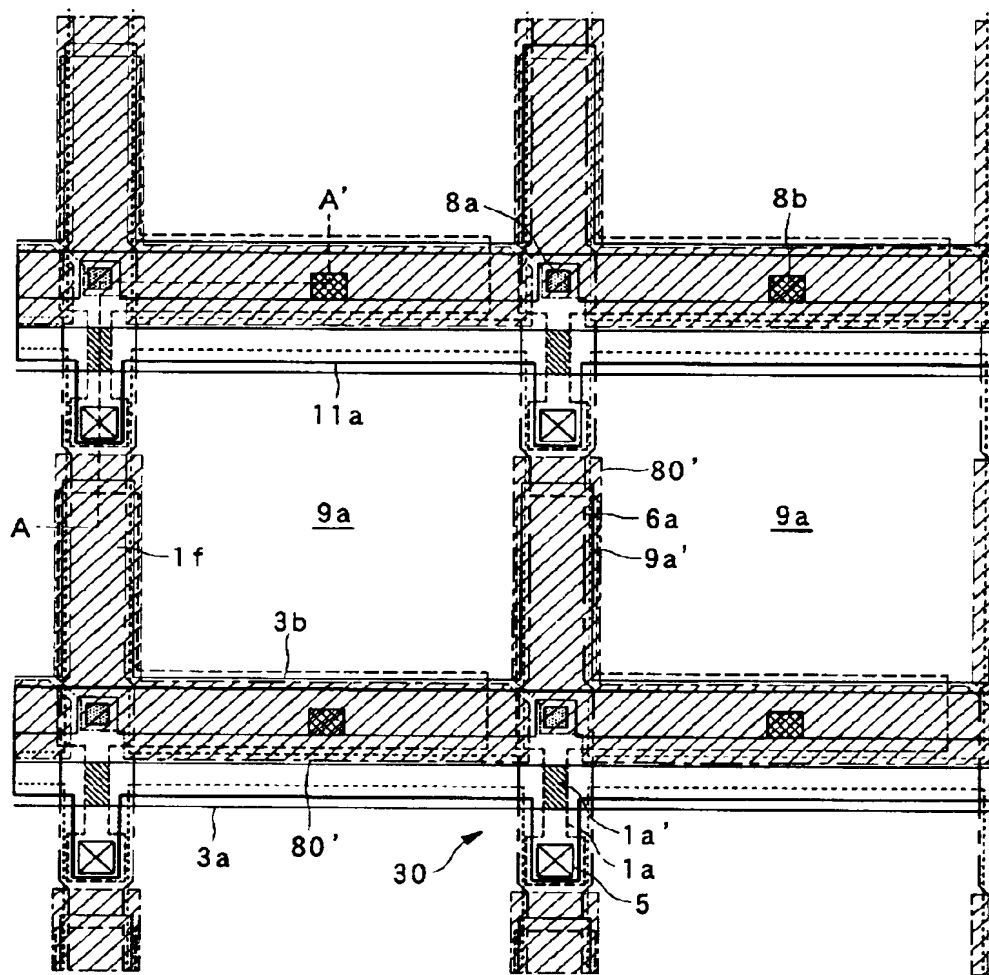
【図 5】



【図 6】

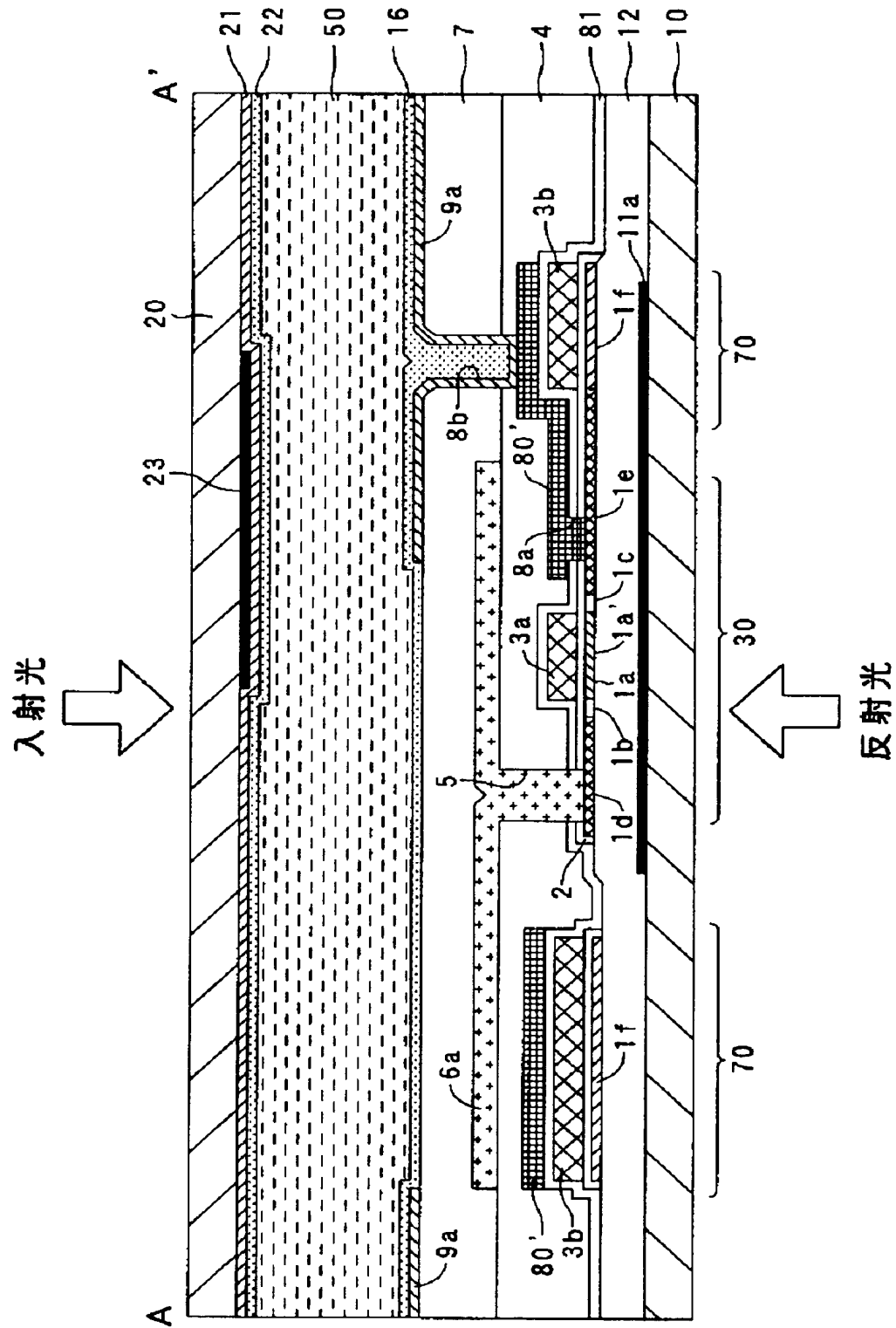


【図 7】

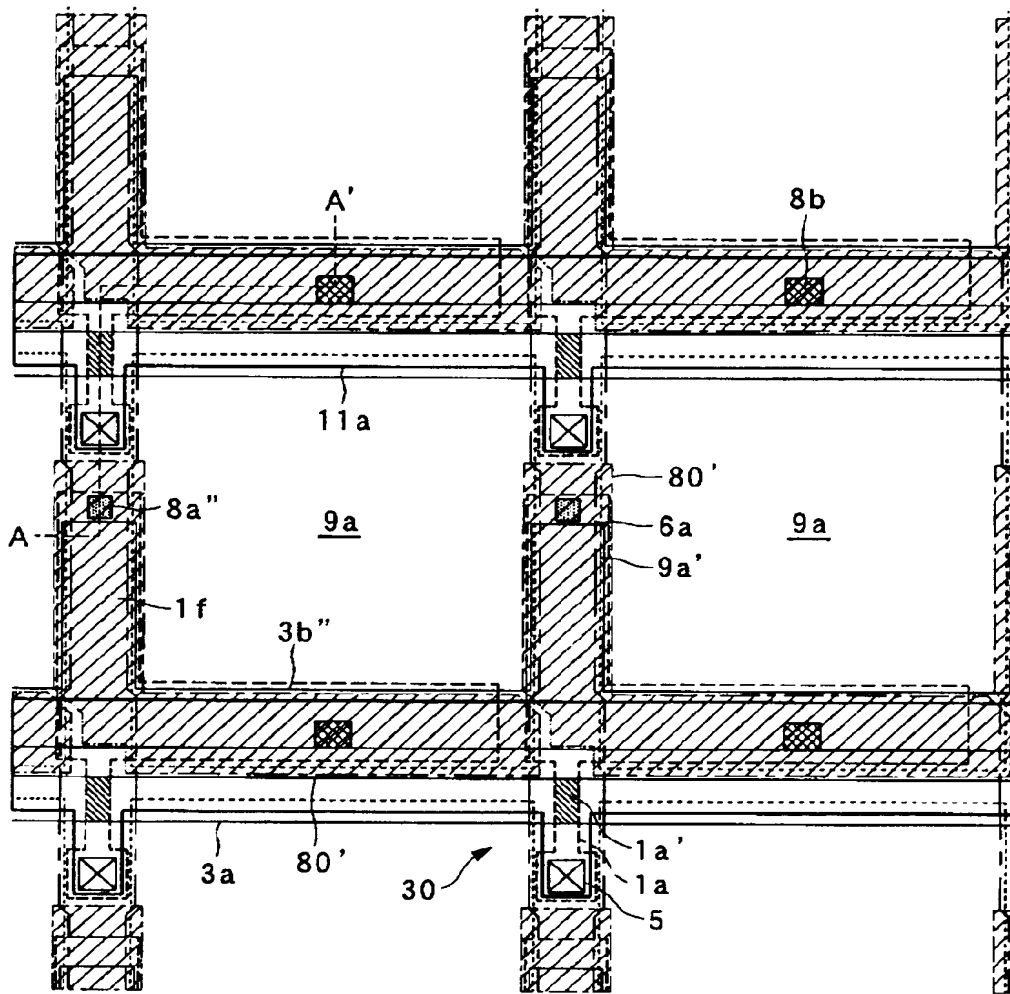




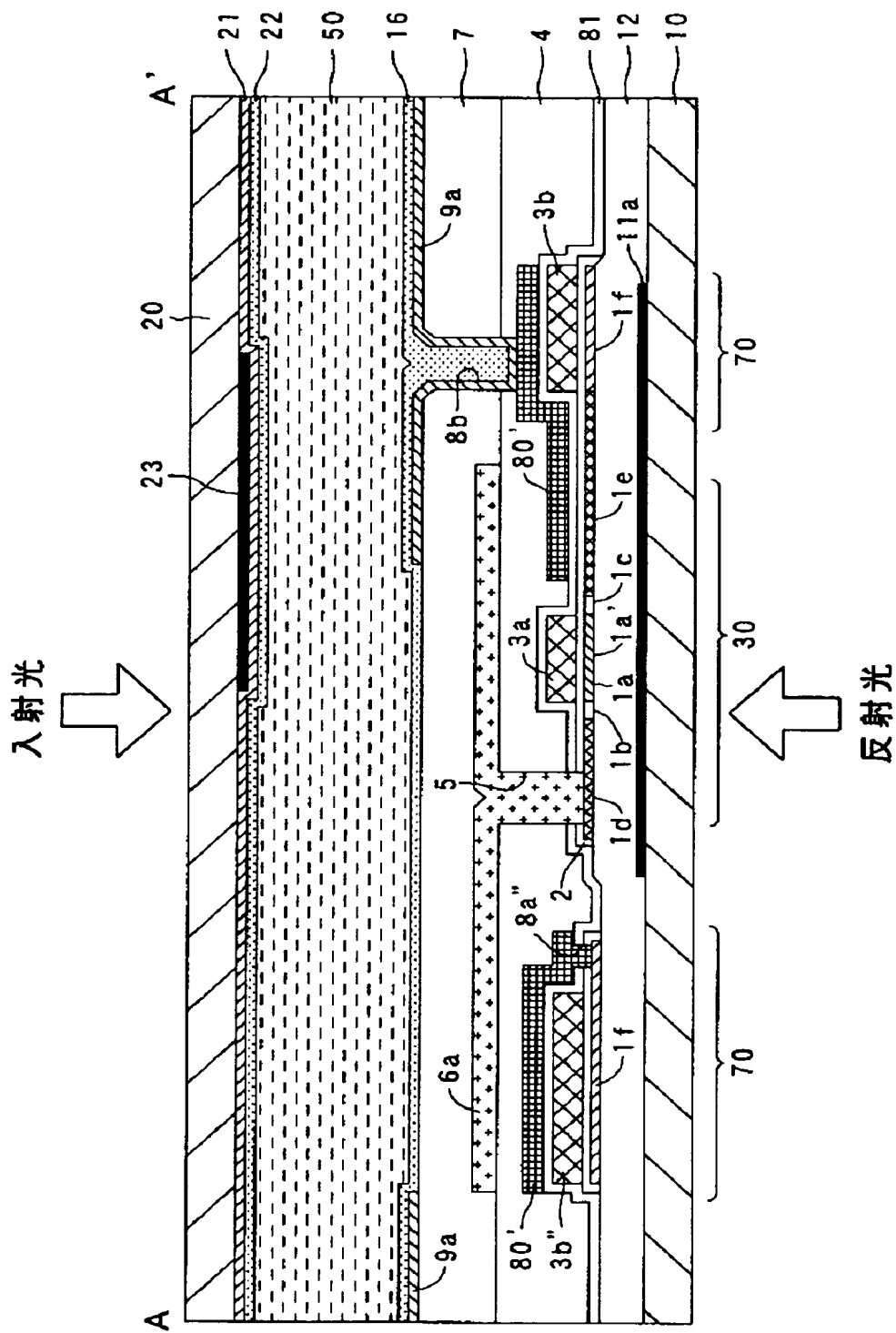
【図 8】



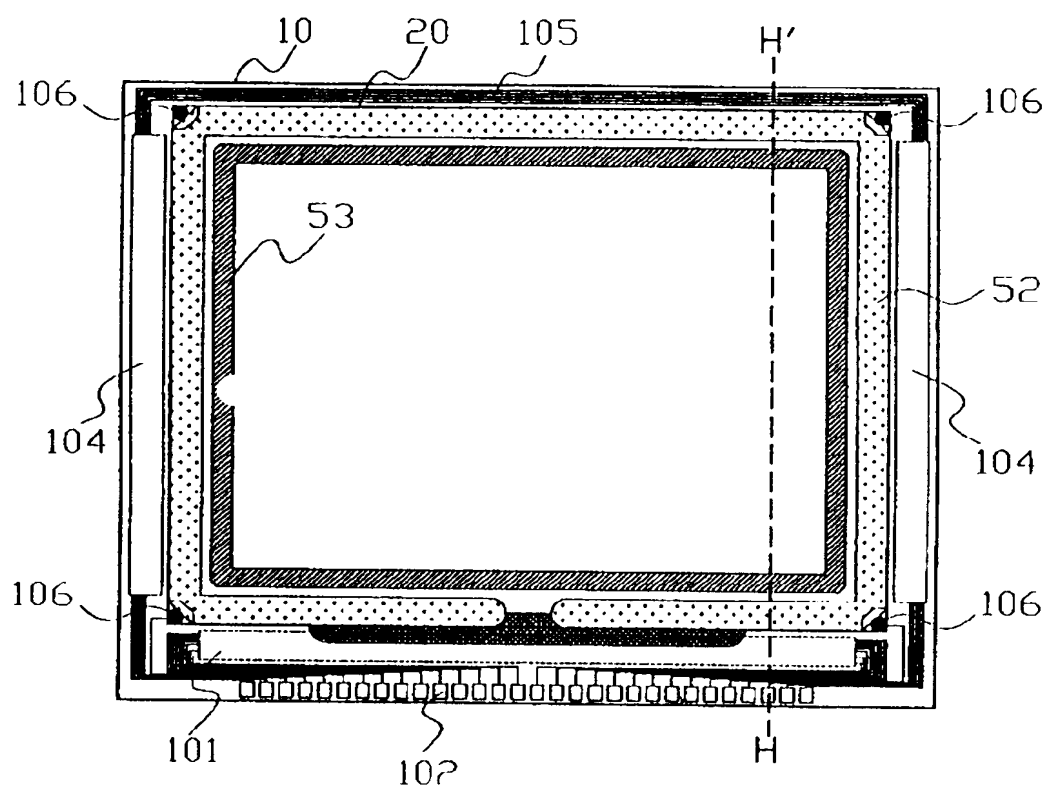
【図 9】



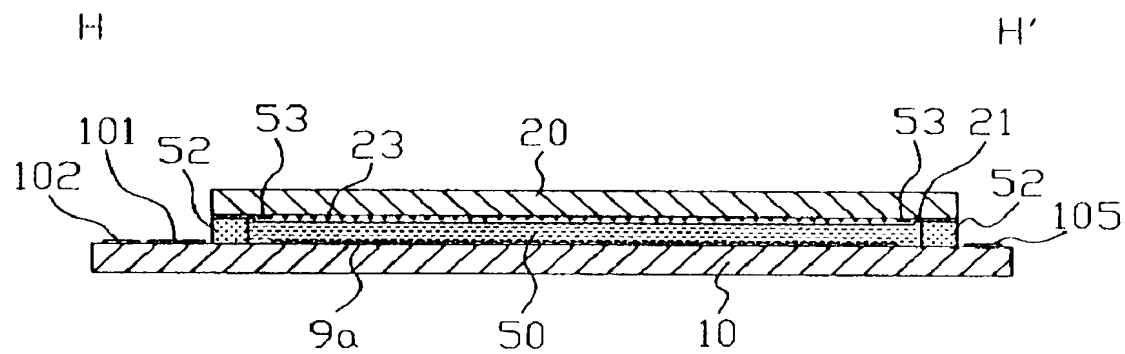
【図10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 画素電極と画素スイッチング用 T F T との間に中継用のバリア層を備えた形式の電気光学装置において、画素開口率を高めると同時に蓄積容量を増大させ、しかも画素電極付近における配向膜の表面に凹凸が生じることによる表示画像の品位低下を低減する。

【解決手段】 電気光学装置は、基板上に T F T ( 3 0 ) 、データ線 ( 6 a ) 、走査線 ( 3 a ) 、容量線 ( 3 b ) 、第 1 バリア層 ( 8 0 ) 、第 2 バリア層 ( 1 8 0 ) 及び画素電極 ( 9 a ) を備える。T F T のドレインと第 1 バリア層とを接続する第 1 コンタクトホール ( 8 a ) は、平面的に見てデータ線に重なる位置に開孔されている。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日	1 9 9 0 年 8 月 2 0 日
[変更理由]	新規登録
住 所	東京都新宿区西新宿 2 丁目 4 番 1 号
氏 名	セイコーエプソン株式会社